

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)
)
Katsuhiko NISHIWAKI et al.) Group Art Unit: Not Assigned
)
Application No.: Not Assigned) Examiner: Not Assigned
)
Filed: October 29, 2003)
)
For: FIELD-EFFECT-TYPE)
SEMICONDUCTOR DEVICE)

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

CLAIM FOR PRIORITY

Sir:

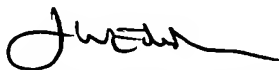
Under the provisions of Section 119 of 35 U.S.C., Applicants hereby claim the benefit of the filing date of Japanese Patent Application Number 2002-320222, filed November 1, 2002, for the above identified United States Patent Application.

In support of Applicants claim for priority, a certified copy of the priority application is filed herewith.

Respectfully submitted,

FINNEGAN, HENDERSON, FARABOW,
GARRETT & DUNNER, L.L.P.

Dated: October 29, 2003

By: 
James W. Edmondson
Reg. No. 33,871

FINNEGAN
HENDERSON
FARABOW
GARRETT &
DUNNER LLP

1300 I Street, NW
Washington, DC 20005
202.408.4000
Fax 202.408.4400
www.finnegan.com

JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the following application as filed with this office

Date of Application: November 1, 2002

Application Number: Patent Application No. 2002-320222
[ST.10/C]: [JP2002-320222]

Applicant(s): TOYOTA JIDOSHA KABUSHIKI KAISHA

September 1, 2003

Commissioner,
Japan Patent Office Yasuo IMAI

Certification No. 2003-3071179

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年11月 1日
Date of Application:

出願番号 特願2002-320222
Application Number:
[ST. 10/C]: [JP 2002-320222]

出願人 トヨタ自動車株式会社
Applicant(s):

2003年 9月 1日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫

出証番号 出証特2003-3071179

【書類名】 特許願

【整理番号】 022611TA

【提出日】 平成14年11月 1日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/78

【発明の名称】 電界効果型半導体装置

【請求項の数】 7

【発明者】

【住所又は居所】 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内

【氏名】 西脇 克彦

【発明者】

【住所又は居所】 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内

【氏名】 榊田 知義

【特許出願人】

【識別番号】 000003207

【氏名又は名称】 トヨタ自動車株式会社

【代理人】

【識別番号】 100105751

【弁理士】

【氏名又は名称】 岡戸 昭佳

【連絡先】 0 5 2 - 2 1 8 - 7 1 6 1

【選任した代理人】

【識別番号】 100097009

【弁理士】

【氏名又は名称】 富澤 孝

【選任した代理人】

【識別番号】 100098431

【弁理士】

【氏名又は名称】 山中 郁生

【手数料の表示】

【予納台帳番号】 044808

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書
【発明の名称】 電界効果型半導体装置
【特許請求の範囲】

【請求項 1】 第 1 導電型半導体のチャンネル領域と、
前記チャンネル領域に接するとともに、前記チャンネル領域より高濃度の第 1 導電型半導体である第 1 導電型エミッタ領域と、
前記チャンネル領域を貫通して設けられるとともに、前記チャンネル領域および前記第 1 導電型エミッタ領域から絶縁されたゲート電極と、
前記チャンネル領域および前記第 1 導電型エミッタ領域に接するエミッタ電極とを有することを特徴とする電界効果型半導体装置。

【請求項 2】 請求項 1 に記載する電界効果型半導体装置において、
前記ゲート電極から絶縁されているとともに、第 2 導電型半導体である第 2 導電型エミッタ領域を有し、
前記第 2 導電型エミッタ領域が、前記チャンネル領域および前記エミッタ電極に接しており、
前記ゲート電極が、前記第 2 導電型エミッタ領域、前記チャンネル領域、およびそれらの接触箇所に対面していることを特徴とする電界効果型半導体装置。

【請求項 3】 請求項 1 または請求項 2 に記載する電界効果型半導体装置において、
前記ゲート電極がライン状に形成されており、
前記チャンネル領域が、表面にて、前記ゲート電極の長手方向に対して離散的に形成されていることを特徴とする電界効果型半導体装置。

【請求項 4】 請求項 3 に記載する電界効果型半導体装置において、
前記第 2 導電型エミッタ領域と前記チャンネル領域とが前記ゲート電極との対向面にて接触するチャンネル部分の幅が、隣接するチャンネル部分間の間隔より小さいことを特徴とする電界効果型半導体装置。

【請求項 5】 請求項 2 に記載する電界効果型半導体装置において、
前記ゲート電極がライン状に形成されており、
前記第 2 導電型エミッタ領域が、

隣接するゲート電極間にわたって、
前記ゲート電極の長手方向に対して離散的に形成されていることを特徴とする電界効果型半導体装置。

【請求項 6】 請求項 5 に記載する電界効果型半導体装置において、
前記第 1 導電型エミッタ領域が、
隣接するゲート電極間にわたって、
前記ゲート電極の長手方向に対して離散的に形成されていることを特徴とする電界効果型半導体装置。

【請求項 7】 請求項 2 または請求項 4 に記載する電界効果型半導体装置において、
前記ゲート電極が島状に形成されており、
前記第 2 導電型エミッタ領域が隣接するゲート電極間に設けられており、
表面における前記ゲート電極の外側の領域のうち、前記第 2 導電型エミッタ領域以外の部分が前記チャネル領域で占められていることを特徴とする電界効果型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電界効果型半導体装置に関する。さらに詳細には、オン抵抗を犠牲にすることなく短絡電流を低減した電界効果型半導体装置に関するものである。

【0002】

【従来の技術】

従来から、電力用途等に電界効果型半導体装置が使用されている（例えば、特許文献 1 に記載されている絶縁ゲート型バイポーラトランジスタ）。従来のこの種の電界効果型半導体装置には、オン抵抗の低減を狙って、梯子型のエミッタ構造を採用しているものがある。そのようなものの一例を、図 29～図 31 に示す。図 30 は、図 29 中の B-B 箇所の断面図である。図 31 は、図 29 中の C-C 箇所の断面図である。図 29 は、図 30 および図 31 中の A-A 箇所の断面図である。この電界効果型半導体装置は、トレンチゲート型と呼ばれるものである。

。この電界効果型半導体装置は、概略、半導体基板の一面（図30，図31中の上方の面）側にエミッタ領域やゲート電極などを設け、他面（図30，図31中の下方の面）側にコレクタ領域等を設けた構造を有している。

【0003】

すなわち、半導体基板の一面側には、トレンチ構造のゲート電極906の他、 p^+ エミッタ領域900および n^+ エミッタ領域904が設けられている。ゲート電極906は、ゲート絶縁膜905および層間絶縁膜907により、半導体基板から絶縁されている。それらの上方には、エミッタ電極909が設けられている。エミッタ電極909は、 p^+ エミッタ領域900および n^+ エミッタ領域904の双方に導通している。 p^+ エミッタ領域900および n^+ エミッタ領域904の下方には、 p チャネル領域903が設けられている。 p チャネル領域903の下端は、ゲート電極906の下端より浅い。

【0004】

p チャネル領域903の下方には、 n ドリフト領域902が形成されている。 n ドリフト領域902の大部分は、ゲート電極906の下端より深い位置にあり、半導体基板のほぼ全面にわたって繋がっている。 n ドリフト領域902のさらに下方には、 p^+ コレクタ領域901が設けられている。そして、 p^+ コレクタ領域901のさらに下方に接して、コレクタ電極910が形成されている。この電界効果型半導体装置では、図29中に矢印Yで示す範囲が、図29中上下方向の繰り返し単位である。

【0005】

この電界効果型半導体装置では、図29に見るように、ゲート電極906および n^+ エミッタ領域904が、図29中上下方向に帯状にかつ交互に形成されている。そして、島状の p^+ エミッタ領域900が n^+ エミッタ領域904に囲まれて設けられている。よって n^+ エミッタ領域904は、図29中、梯子状をなしている。また、 p^+ エミッタ領域900の図29中での幅は、エミッタ電極909が p^+ エミッタ領域900および n^+ エミッタ領域904に接する部分の幅908（以下、「コンタクト開口908」という）より小さい。

【0006】

この電界効果型半導体装置では、ゲート電極 906 への電圧印加により、エミッタ電極 909 とコレクタ電極 910 との間の電流を制御する。すなわち、ゲート電極 906 の電圧により、p チャンネル領域 903 の表面（図 30、図 31 中ゲート電極 906 の側壁に対向する面）付近の導電型を反転させ、電流経路を形成させるのである。ここで、n⁺エミッタ領域 904 が梯子状であるため、p⁺エミッタ領域 900 のある領域（図 29 中 B-B 位置の領域、すなわち断面が図 30 で表される領域）と p⁺ エミッタ領域 900 のない領域（図 29 中 C-C 位置の領域、すなわち断面が図 31 で表される領域）とのいずれでも、p チャンネル領域 903 の表面付近が反転時に有効なチャンネルとなる。すなわち、上下方向の繰り返し単位 Y（図 29 参照）の全体がチャンネル幅なのである。このようにチャンネル幅を最大限大きくとることにより、オン抵抗の低減を図っているのである。

【0007】

【特許文献 1】

特開 2002-100770 号公報

【0008】

【発明が解決しようとする課題】

しかしながら、前記した従来の電界効果型半導体装置には、次のような問題点があった。

【0009】

第 1 に、短絡電流が過大なのである。なぜなら、オン時に短絡が発生すると、n⁺ エミッタ領域 904 から p チャンネル領域 903 のチャンネルを通して大量の電子が n ドリフト領域 902 に供給され、それに伴いホールも大量に p⁺ コレクタ領域 901 から n ドリフト領域 902 に供給されるからである。このときの短絡電流は通常の動作状態でのオン電流の 10 倍以上にもなる。このため半導体装置は急過熱により熱破壊に至る。一方、通常の動作状態を考えると、オン電流は短絡電流の 10 分の 1 にも満たないことになる。このことは、通常の動作状態では、チャンネルから供給可能な電子の 10 分の 1 未満しか実際には利用していないことを意味する。このため、チャンネル幅を大きくした効果はあまり発揮されない。したがって、オン抵抗は実はあまり低くない。

【0010】

第2に、オフ時にラッチアップ現象が発生しやすい。なぜなら、梯子状の n^+ エミッタ領域904のため、 p 型領域とエミッタ電極909との接触面積（すなわち図29中の p^+ エミッタ領域900の面積）が小さい。このため、 p チャネル領域903中のホールのエミッタ電極909への脱出経路が狭いのである。このことにより、オフ後、特に短絡電流のような大電流のオフ後に p チャネル領域903中にホールが残留しやすい。これが、 n^+ エミッタ領域904、 p チャネル領域903、 n ドリフト領域902からなる寄生バイポーラトランジスタにベース電流が流れ込んでいるのと同じ状況を醸し出す。このため、 n^+ エミッタ領域904、 p チャネル領域903、 n ドリフト領域902、 p^+ コレクタ領域901からなる寄生 $npnp$ サイリスタがオンしてしまう。これによりラッチアップ現象が発生するのである。ラッチアップ現象が発生した状態では電流の制御が不能で、素子破壊に至る。

【0011】

ラッチアップ現象を防止するために不純物濃度の高い p^+ エミッタ領域のみでエミッタを構成することも考えられるが、それではオン時に p^+ エミッタ領域が反転できないことから、次のような問題を招く。まず、 n ドリフト領域902への電子の供給が疎密となることから、素子内の電流が不均一となる。これは高電流域でやはりラッチアップ現象を招いてしまう。また、 p^+ エミッタ領域は高不純物濃度であるため低抵抗である。しかもその p^+ エミッタ領域とエミッタ電極909との接触面積が非常に広い。このためオン時に n ドリフト領域902のホールが p^+ エミッタ領域を通過してどんどんエミッタ電極909へ抜けてしまう。これが、 n ドリフト領域902のホール不足を引き起こすので、結果的にはオン抵抗が高い。

【0012】

本発明は、前記した従来の電界効果型半導体装置が有する問題点を解決するためになされたものである。すなわちその課題とするところは、チャネル幅を有効に利用することにより、低いオン抵抗と過大でない短絡電流とを両立するとともに、素子破壊が起こりにくい電界効果型半導体装置を提供することにある。

【0013】

【課題を解決するための手段】

この課題の解決を目的としてなされた本発明の電界効果型半導体装置は、第1導電型半導体のチャネル領域と、チャネル領域に接するとともに、チャネル領域より高濃度の第1導電型半導体である第1導電型エミッタ領域と、チャネル領域を貫通して設けられるとともに、チャネル領域および第1導電型エミッタ領域から絶縁されたゲート電極と、チャネル領域および第1導電型エミッタ領域に接するエミッタ電極とを有している。

【0014】

この電界効果型半導体装置では、チャネル領域および第1導電型エミッタ領域のいずれもがエミッタ電極に接している。すなわち、エミッタ電極のコンタクト面積の一部がチャネル領域によって占められている。このため、エミッタ電極のコンタクト面積の全部が第1導電型エミッタ領域によって占められている電界効果型半導体装置と比較して、第1導電型エミッタ領域とエミッタ電極とのコンタクト面積が限定されている。このことにより、オン時において、チャネル領域の第1導電型キャリアが、第1導電型エミッタ領域（低抵抗）とエミッタ電極との接触箇所を通してエミッタ電極へ抜けてしまうことが抑制される。このため、オン時におけるチャネル領域の第1導電型キャリア濃度が高く維持される。したがって、オン抵抗が低い。その一方で、第1導電領域全体、すなわち第1導電型エミッタ領域およびチャネル領域としてはある程度のコンタクト面積が確保されている。このため、スイッチオフ後、特に短絡電流のような大電流のオフ後における第1導電型キャリアのエミッタ電極への脱出には支障がない。

【0015】

本発明の電界効果型半導体装置はさらに、ゲート電極から絶縁されているとともに、第2導電型半導体である第2導電型エミッタ領域を有し、第2導電型エミッタ領域が、チャネル領域およびエミッタ電極に接しており、ゲート電極が、第2導電型エミッタ領域、チャネル領域、およびそれらの接触箇所に対面している構造とするとよりよい。

【0016】

このようにした電界効果型半導体装置では、第2導電型エミッタ領域とチャネル領域との接触箇所と、ゲート電極とが対面する部分の幅が、オン時におけるチャネル部分となる。このチャネル部分の幅の大小により、オン抵抗を低く維持しつつ、短絡電流の多寡を設定することができる。また、チャネル部分により、第2導電型キャリアの伝導経路が確保される。このため、素子内に第2導電型キャリアの疎密が生じない。このことも、オン抵抗の低減やラッチアップ現象の防止に貢献する。

【0017】

本発明の電界効果型半導体装置ではまた、ゲート電極がライン状に形成されており、チャネル領域が、表面にて、ゲート電極の長手方向に対して離散的に形成されていることとするとよい。このようにすることにより、第1導電型エミッタ領域とエミッタ電極とのコンタクト面積が限定され、オン時における第1導電型キャリアのエミッタ電極への脱出量が制限される。このため、オン時におけるチャネル領域の第1導電型キャリア濃度が高く維持され、オン抵抗が低い。

【0018】

そして、第2導電型エミッタ領域とチャネル領域とがゲート電極との対向面に接触するチャネル部分の幅を、隣接するチャネル部分間の間隔より小さくしておくこととよい。このようにすることにより、半導体装置の全体に対してチャネル幅が占める比率を適正な範囲内とすることができる。これにより、通常動作時には、チャネル部分を有効に利用して、低いオン抵抗で十分な電流を流すことができる。その一方で、短絡時に過大な電流が流れることがない。このため、短絡時でも素子破壊には至らない。

【0019】

また、第2導電型エミッタ領域を有する本発明の電界効果型半導体装置では、ゲート電極がライン状に形成されており、第2導電型エミッタ領域が、隣接するゲート電極間にわたって、ゲート電極の長手方向に対して離散的に形成されていることとするとよりよい。このようにすることで、ゲート電極間の半導体領域は、第2導電型エミッタ領域とそれ以外の領域（チャネル領域や第1導電型エミッタ領域はここに含まれる）とで交互にストライプ状に占められることとなる。こ

れにより、通常動作時に必要とされる電流値に比して過剰なほどのチャネル幅が形成されることがない。このため、オン抵抗を低く維持しつつ、短絡電流が抑制される。

【0020】

この場合にさらに、第1導電型エミッタ領域も、隣接するゲート電極間にわたって、ゲート電極の長手方向に対して離散的に形成されていることとするとよりよい。このようにすると、ゲート電極間の半導体領域は、ゲート電極と平行な方向には、第1導電型エミッタ領域、第2導電型エミッタ領域、それら以外の領域（チャネル領域はここに含まれる）がストライプ状に配置された構造となる。しかしゲート電極と交差する方向に着目すると、ゲート電極から隣のゲート電極に至るまで特段の変化がないシンプルな構造とすることができる。これにより、設計上、ゲート電極と交差する方向について容易にダウンサイジングしてコストの低減を図ることができる。

【0021】

第2導電型エミッタ領域を有する本発明の電界効果型半導体装置では、あるいは、ゲート電極が島状に形成されており、第2導電型エミッタ領域が隣接するゲート電極間に設けられており、表面におけるゲート電極の外側の領域のうち、第2導電型エミッタ領域以外の部分がチャネル領域で占められていることとしてもよい。このようにすると、ゲート電極の総量が少なくて済む。このためスイッチング速度が速い。また製造上も、高い良品率が期待できるので有利である。ゲート電極は一般的に多結晶半導体を堆積することにより形成され、この工程は他の工程より異物の混入を起こしやすいからである。また、第2導電型エミッタ領域と対面する部分以外の部分は、チャネル形成に寄与しないため、そのような部分にゲート電極が存在する必要はないのである。

【0022】

【発明の実施の形態】

以下、本発明を具体化した実施の形態について、添付図面を参照しつつ詳細に説明する。

【0023】

[第1の形態]

第1の形態に係る電界効果型半導体装置の構造を、図1および図2に示す。図2は、図1中のB-B箇所の断面図である。図1は、図2中のA-A箇所（本願ではこのレベルを「表面」と呼んでいる）の断面図である。また、図1中のC-C箇所の断面は、従来技術として説明した図31中の各符号を「9**」から「1**」に変更したものと同一である。以下、本形態の説明において図31に言及するときは、このように符号を読み替えるものとする。この電界効果型半導体装置は、絶縁ゲート型バイポーラトランジスタ（IGBT）と呼ばれるものであり、トレンチ型のゲート構造を有している。この電界効果型半導体装置は、概略、半導体基板の一面（図2中の上方の面）側にエミッタ領域やゲート電極などを設け、他面（図2中の下方の面）側にコレクタ領域等を設けた構造を有している。

【0024】

すなわち、半導体基板の一面側には、トレンチ構造のゲート電極106の他、p⁺エミッタ領域100およびn⁺エミッタ領域104が設けられている。ゲート電極106は、ゲート絶縁膜105および層間絶縁膜107により、半導体基板から絶縁されている。p⁺エミッタ領域100およびn⁺エミッタ領域104の下方には、図2や図31において左右のゲート絶縁膜105を介してゲート電極106と対面するpチャネル領域103が設けられている。pチャネル領域103の下端は、ゲート電極106の下端より浅い。p⁺エミッタ領域100、n⁺エミッタ領域104、ゲート電極106の上方には、エミッタ電極109が設けられている。エミッタ電極109は、図2（B-B箇所）ではp⁺エミッタ領域100およびpチャネル領域103の双方に接触している。エミッタ電極109は、図31（C-C箇所）ではn⁺エミッタ領域104に接触している。

【0025】

pチャネル領域103の下方には、nドリフト領域102が形成されている。nドリフト領域102の大部分は、ゲート電極106の下端より深い位置にあり、半導体基板のほぼ全面にわたって繋がっている。nドリフト領域102のさらに下方には、p⁺コレクタ領域101が設けられている。そして、p⁺コレクタ領

域 101 のさらに下方に接して、コレクタ電極 110 が形成されている。本形態の電界効果型半導体装置では、図 1 中に矢印 Y で示す範囲が、図 1 中上下方向の繰り返し単位である。

【0026】

本形態の電界効果型半導体装置では、図 1 に見るように、ゲート電極 106 が、図 1 中上下方向にライン状に形成されている。そして、ゲート電極 106 とゲート電極 106 の間の帯状の領域に、 n^+ エミッタ領域 104、 p^+ エミッタ領域 100、および p チャネル領域 103 が設けられている。 n^+ エミッタ領域 104 は、図 1 中上下方向に周期的に配置されている。各々の n^+ エミッタ領域 104 は、図 1 中の左右端とも、ゲート絶縁膜 105 を介してゲート電極 106 と対面している。

【0027】

そして、 n^+ エミッタ領域 104 と n^+ エミッタ領域 104 との間に、 p^+ エミッタ領域 100 が配置されている。各々の p^+ エミッタ領域 100 は、図 1 中の上下端が n^+ エミッタ領域 104 に接している。しかし p^+ エミッタ領域 100 は、図 1 中左右方向には、ゲート電極 106 とゲート電極 106 との間の領域のすべてを占めているわけではない。 p^+ エミッタ領域 100 の図 1 中での幅は、エミッタ電極 109 が半導体基板に接する部分の幅 108（以下、「コンタクト開口 108」という）より小さい。残りの部分では、 p チャネル領域 103 が半導体基板の表面を占めている。すなわち p^+ エミッタ領域 100 と p チャネル領域 103 とで p エミッタ領域を構成している。このように本形態の電界効果型半導体装置のゲート電極 106 とゲート電極 106 との間の領域では、 n^+ エミッタ領域 104 と p 型の領域（ p^+ エミッタ領域 100 および p チャネル領域 103）とが交互に離散的に存在し、ストライプ状をなしている。

【0028】

本形態の電界効果型半導体装置において、 p チャネル領域 103 のアクセプタ濃度は、ゲート電極 106 への駆動電圧で n 型に反転できる程度に低く、オフ時にエミッタ電極 109 とコレクタ電極 110 との間の電流を阻止できる程度に高い。そして、 p^+ エミッタ領域 100 のアクセプタ濃度は、 p チャネル領域 10

3のアクセプタ濃度より2桁程度高く、ゲート電極106への駆動電圧では反転しない。pチャネル領域103の図1中左右方向の幅 d は、 $2\mu\text{m}$ 以下であることが望ましい。これにより、 n^+ エミッタ領域104から供給される電子をゲート電極106側の表面へより確実に拡散させることができる。また、pエミッタ領域の図1中上下方向の幅（すなわちチャネル幅） W と n^+ エミッタ領域104の図1中上下方向の幅（すなわち隣接するチャネル間の間隔） X との比 X/W は、 $1/10$ 以上 $1/2$ 以下の範囲内が望ましい。 X/W が $1/10$ に満たない、すなわち n^+ エミッタ領域104があまりに少ないと、オン抵抗が高くなってしまからである。また、 X/W が $1/2$ を上回っていると、短絡電流が大きいので好ましくない。最適な X/W は、 $1/5$ 近辺である。また、 n^+ エミッタ領域104の幅 X は、 $20\mu\text{m}$ 以下であることが望ましい。これが大きすぎると、ラッチアップ現象が生じやすいからである。

【0029】

本形態の電界効果型半導体装置では、ゲート電極106への電圧印加により、エミッタ電極109とコレクタ電極110との間の電流を制御する。すなわち、ゲート電極106の電圧により、pチャネル領域103の表面（図2、図31中ゲート電極106の側壁に対向する面）付近の導電型を反転させ、電流経路を形成させるのである。ここで、 n^+ エミッタ領域104がストライプ状であるため、 n^+ エミッタ領域104のある領域（図1中C-C位置の領域、すなわち断面が図31で表される領域）では、pチャネル領域103の表面付近が反転時に有効なチャネルとなる。しかし n^+ エミッタ領域104のない領域（図1中B-B位置の領域、すなわち断面が図2で表される領域）では、 n^+ エミッタ領域104のある領域のチャネル部の抵抗と比較して、そのチャネル部の抵抗が高いものとなる。このため有効にはたらくチャネル幅は、図1中に矢印 X で示す範囲に限られる。これは、上下方向の繰り返し単位 Y の全体より小さい。このように従来技術欄で説明したものと比較して、チャネル幅が限定されている。

【0030】

これにより、次のような効果がある。まず、短絡電流がさほど小さくなく、その一方でオン抵抗は低い。短絡電流が小さい理由は、前述のようにチャネル

幅が限定されているからである。このため、負荷に短絡が起こった場合でも、素子破壊に至るほどの大電流は流れないのである。一方、オン抵抗が低い理由は次の点にある。まず、通常の動作状態のオン電流を確保するために必要なチャンネル幅は、図1中の範囲Xの程度で十分なのである。言い替えると、上下方向の繰り返し単位Yの全体をチャンネル幅とする従来の電界効果型半導体装置では、過剰なほどのチャンネル幅を持っていたのである。このため短絡時には通常のオン電流の10倍以上もの電流が流れてしまったのである。これに対し本形態の電界効果型半導体装置では、チャンネル幅を必要十分な程度に抑えることにより、オン抵抗の上昇を防ぎつつ、短絡電流の抑制を図っているのである。

【0031】

また、オフ時にラッチアップ現象が発生しにくい。なぜなら、 n^+ エミッタ領域104が梯子状でなくストライプ状であるため、 p 型領域とエミッタ電極109との接触面積（すなわち図1中の p^+ エミッタ領域100およびその左右両側の p チャンネル領域103の面積）が広いからである。オフ時にはコレクタ電極110とエミッタ電極109との間の電圧が高くなるため、ホールが、エミッタ電極109と接触する p チャンネル領域103からエミッタ電極109へ脱出することができる。このため脱出経路が広いのである。このため、オフ後に、 p チャンネル領域103中の過剰なホールが速やかにエミッタ電極109へ脱出する。すなわち、 n^+ エミッタ領域104、 p チャンネル領域103、 n ドリフト領域102からなる寄生バイポーラトランジスタにベース電流が流れ込んでいるのと同じ状況にはならないのである。このため、 n^+ エミッタ領域104、 p チャンネル領域103、 n ドリフト領域102、 p^+ コレクタ領域101からなる寄生 $npnp$ サイリスタがオンすることによるラッチアップ現象が生じにくい。

【0032】

また、本形態の電界効果型半導体装置では、エミッタが、 p^+ エミッタ領域100だけでなく、 p^+ エミッタ領域100と n^+ エミッタ領域104とで構成されている。そのため、オン状態では、図31中、 n^+ エミッタ領域104と n ドリフト領域102とが、 p チャンネル領域103に形成された n チャンネルにより繋がる。これにより、電子伝導の経路が確保されるので、素子内に電子の疎密が生じ

ることがない。このことも、オン抵抗の低減やラッチアップ現象の防止に貢献している。また、エミッタを p^+ エミッタ領域のみとした場合と比較して、 p^+ エミッタ領域 100 とエミッタ電極 109 との接触面積が狭い。このことにより、オン時におけるホールのエミッタ電極 109 への過剰な脱出を防止している。このことも、オン抵抗の低減に寄与している。

【0033】

その一方で、 p^+ エミッタ領域 100 および p チャネル領域 103 の p 型領域全体としては、エミッタ電極 109 との接触面積がある程度確保されている。このため、スイッチオフ後、特に短絡電流のような大電流のオフ後におけるホールのエミッタ電極 109 への脱出には支障がない。このため、 n^+ エミッタ領域 104、 p チャネル領域 103、 n ドリフト領域 102 からなる寄生バイポーラトランジスタにベース電流が流れ込んでいるのと同じ状況になることがない。したがって、 n^+ エミッタ領域 104、 p チャネル領域 103、 n ドリフト領域 102、 p^+ コレクタ領域 101 からなる寄生 $n p n p$ サイリスタがオンしてしまうことがない。このことも、ラッチアップ現象の防止に貢献している。

【0034】

本形態の電界効果型半導体装置の諸特性を本発明者らが実測した結果を図3～図5に示す。図3は、短絡電流の測定結果であり、本形態のものと従来のものとを比較して示す。本形態の電界効果型半導体装置の短絡電流が、従来のものと比較して約半分程度しかないことが理解できる。図4は、コレクターエミッタ間電圧とコレクターエミッタ間電流との関係の測定結果であり、本形態のものと従来のものとを比較して示す。本形態の電界効果型半導体装置でも従来のものでも大きな違いがないことが理解できる。このことから、本形態の電界効果型半導体装置のオン抵抗は、従来のものと遜色ないほど低いことがわかる。図5は、本形態の電界効果型半導体装置の構造において、図1中の X/W を種々の値に変更した場合の、 X/W とオン抵抗との関係を示す。これより、 X/W の値が $1/10$ 以上あれば、オン抵抗にあまり違いがないことがわかる。

【0035】

本形態の電界効果型半導体装置の製法を、図6～図9により説明する。本形態

の電界効果型半導体装置の製造にあつては、 p^+ シリコンウェハを出発基板とする。このウェハの p^+ シリコンは、 p^+ コレクタ領域 101 となる。そしてその表面上にエピタキシャル成長により、 n 型シリコン層を形成する。この n 型シリコン層は、 n ドリフト領域 102 となる。あるいは、 n 型シリコンウェハを出発基板とすることもできる。その場合にはウェハの n 型シリコンが n ドリフト領域 102 となる。そして、その裏面側の表面から p 型不純物を導入するか、裏面側の表面上に p 型シリコン層を堆積することにより、 p^+ コレクタ領域 101 を形成すればよい。

【0036】

次に、 n 型シリコン層の表面に、厚さ 700 nm 程度の熱酸化膜を温度 1000℃ のパイロジェニック酸化により形成する。そして、この熱酸化膜をフォトリソグラフィおよびエッチングによりパターンニングする。これによりその熱酸化膜は、ウェハの縁辺の部分のみ残される。このため素子が形成される部分の全体にわたって、 n 型シリコン層が露出した開口が形成される。次に、 n 型シリコン層の表面に再び熱酸化膜 107b を形成する。温度は 900℃ で膜厚は 18 nm とする。

【0037】

そして、酸化膜 107b 上にフォトリソグラフィにより、レジストパターンを形成する。ここで形成するレジストパターンは、 p チャネル領域 103 となるべき部分を開口とするパターンである。このレジストパターンをマスクとして、加速電圧 60 kV のイオン注入によりボロンを注入する。ドーズ量は、 $4.7 \times 10^{13} \text{ cm}^{-2}$ とする。その後、窒素雰囲気中で温度 1150℃ の熱処理による拡散を行う。これにより、深さ 5 μm の p ウェルが形成される。この p ウェルが、 p チャネル領域 103 となる。そして、酸化膜 107b 上に CVD 法によりさらに酸化膜 107c を堆積する。厚さは 400 nm とする。

【0038】

そして、その酸化膜上にフォトリソグラフィにより、レジストパターンを形成する。ここで形成するレジストパターンは、ゲート電極 106 が形成されるべき部分を開口とするパターンである。このレジストパターンをマスクとして、RI

E法により酸化膜107cおよび107bを除去する。これにより、残った部分の酸化膜107cおよび107bがシリコンエッチング用のマスクとなる。そして、この酸化膜マスクを利用して、RIE法によりシリコンをエッチングする。これにより、深さ6 μ mのトレンチが形成される。そして、形成されたトレンチの側壁を、CDE法によりエッチングする。その後、温度1100℃でトレンチの壁面に熱酸化膜を形成し、その酸化膜を除去する。これにより、トレンチの側壁の欠陥を除去する。その後、温度1100℃でトレンチの壁面に厚さ100nmの熱酸化膜を形成する。この酸化膜がゲート絶縁膜105となる。この状態での断面図が図6である。

【0039】

そして、CVD法により厚さ800nmの多結晶シリコン膜を堆積する。続いて、オキシ塩化リン雰囲気中で温度950℃で熱処理する。これにより、多結晶シリコン膜にリンを拡散させる。その後、フォトリソグラフィおよびエッチングにより、余分な多結晶シリコンや残っている酸化膜マスクを除去する。除去される多結晶シリコンは、トレンチ開口レベルより上の部分である。ただし、ゲート電極106への配線（図16中の「311」等を参照、以下、ゲート配線という）となる部分は残す。これにより、トレンチ構造のゲート電極106およびそのための配線を形成する。次に、pチャネル領域103およびゲート電極106の表面に、温度950℃で熱酸化膜107dを形成する。膜厚は30nmとする。この状態での断面図（この段階まではB-B断面もC-C断面も同じ）が図7である。

【0040】

そして、酸化膜107d上にフォトリソグラフィにより、レジストパターンを形成する。ここで形成するレジストパターンは、p+エミッタ領域100となるべき部分を開口とするパターンである。このレジストパターンをマスクとして、加速電圧70kVのイオン注入によりボロンを注入する。ドーズ量は、 $4 \times 10^{15} \text{ cm}^{-2}$ とする。そしてレジストパターンを除去した上で、酸化膜上にフォトリソグラフィにより、新たなレジストパターンを形成する。ここで形成するレジストパターンは、n+エミッタ領域104となるべき部分を開口とするパターンで

ある。このレジストパターンをマスクとして、加速電圧 120 kV のイオン注入によりリンを注入する。ドーズ量は、 $5 \times 10^{15} \text{ cm}^{-2}$ とする。そして、酸化膜上に CVD 法により BP SG 膜を堆積する。膜厚は $1.5 \mu\text{m}$ とする。この BP SG 膜は、層間絶縁膜 107 となる。その後、窒素雰囲気中で温度 950℃ の熱処理を行う。これにより、層間絶縁膜 107 が平坦化されるとともに、イオン注入された元素の熱拡散により、 p^+ エミッタ領域 100 および n^+ エミッタ領域 104 が形成される。この状態での B-B 箇所の断面図および C-C 箇所の断面図を、図 8 および図 9 に示す。

【0041】

次に、層間絶縁膜 107 をフォトリソグラフィおよびエッチングによりパターンニングする。これにより、コンタクト開口 108 に相当する部分およびゲート電極 106 のコンタクト箇所の層間絶縁膜 107 を除去する。これにより、コンタクト開口 108 の p^+ エミッタ領域 100、 p チャネル領域 103、および n^+ エミッタ領域 104 を露出させる。また、ゲート配線のコンタクト箇所も露出させる。そして、露出した箇所の上および残っている層間絶縁膜 107 の上に、スパッタリング法により、チタンを主成分とするバリアメタル層およびその上のアルミ層を積層する。その後、フォトリソグラフィおよびエッチング（ウェットエッチングおよび RIE）により、バリアメタル層およびアルミ層をパターンニングする。これにより、エミッタ電極 109 が形成される。また、ゲート配線の上部配線も形成される。次に、裏面の p^+ コレクタ領域 101 上に、スパッタリング法によりコレクタ電極 110 を形成する。以上で、本形態の電界効果型半導体装置が製造される。

【0042】

なお、 n 型シリコンウェハを出発基板とする場合には、エミッタ面側の構造（ゲート電極 106、 p^+ エミッタ領域 100、エミッタ電極 109 等）を先に形成し、 p^+ コレクタ領域 101 の形成はその後で行ってもよい。

【0043】

[第 2 の形態]

第 2 の形態に係る電界効果型半導体装置の構造を、図 10～図 12 に示す。図

11は、図10中のB-B箇所の断面図である。図12は、図10中のD-D箇所の断面図である。図10は、図11および図12中のA-A箇所の断面図である。また、図10中のC-C箇所の断面は、従来技術として説明した図31中の各符号を「9**」から「2**」に変更したのと同じである。以下、本形態の説明において図31に言及するときは、このように符号を読み替えるものとする。本形態の電界効果型半導体装置は、トレンチゲート型である点で前述の第1の形態のものと共通する。そして、エミッタ部分の構造を除き、他の部分の構造は第1の形態のものと同一である。また、エミッタ部分中、 n^+ エミッタ領域204については、第1の形態のものと同一である。本形態と第1の形態との違いは、エミッタ部分中の p エミッタ領域の構造にある。

【0044】

そこで、本形態の電界効果型半導体装置の p エミッタ領域の構造を説明する。本形態では、図10に示すように、 p^+ エミッタ領域200が、 n^+ エミッタ領域204と平行に設けられている。したがって p^+ エミッタ領域200は、 n^+ エミッタ領域204とは接していない。 p^+ エミッタ領域200の図10中左右両端は、 n^+ エミッタ領域204の図10中左右両端と同様に、ゲート絶縁膜205を介してゲート電極206と対面している。しかし p^+ エミッタ領域200は、図10中上下方向には、 n^+ エミッタ領域204と n^+ エミッタ領域204との間の領域のすべてを占めているわけではない。残りの部分では、 p チャネル領域203が半導体基板の表面を占めている。すなわち p^+ エミッタ領域200と p チャネル領域203とで p エミッタ領域を構成している。このように本形態の電界効果型半導体装置でも、ゲート電極206とゲート電極206との間の領域で、 n^+ エミッタ領域204と p 型の領域（ p^+ エミッタ領域200および p チャネル領域203）とが交互に離散的に存在し、ストライプ状をなしている。また、 p チャネル領域203、 p^+ エミッタ領域200、および n^+ エミッタ領域204のすべてがエミッタ電極209に接触している。

【0045】

本形態の電界効果型半導体装置において、 p チャネル領域203や p^+ エミッタ領域200のアクセプタ濃度については、第1の形態での説明と同様である。

p エミッタ領域の図 10 中上下方向の幅 W と n^+ エミッタ領域 204 の図 10 中上下方向の幅 X との比 X/W についても、第 1 の形態での説明と同様である。 n^+ エミッタ領域 204 の幅 X についても、第 1 の形態での説明と同様である。

【0046】

本形態の電界効果型半導体装置の製法は、 p^+ エミッタ領域 200 の形成の際のマスクパターンが異なる以外は、第 1 の形態の電界効果型半導体装置の製法と同じである。

【0047】

本形態の電界効果型半導体装置でも、ゲート電極 206 への電圧印加により、エミッタ電極 209 とコレクタ電極 210 との間の電流を制御する。ここで、第 1 の形態のものと同様に、上下方向の繰り返し単位 Y の全体に比してチャネル幅が限定されている。このため、低いオン抵抗、短絡電流の抑制、ラッチアップ現象の防止等の効果が発揮される。

【0048】

さらに、次のような特有の効果がある。第 1 に、設計上、オン抵抗と短絡電流とを個別に設定できることが挙げられる。すなわち、短絡電流については図 10 中の X/W によりコントロールでき、その一方でオン抵抗を図 10 中の Z/W (Z は p^+ エミッタ領域 200 の図 10 中上下方向の幅) でコントロールできるからである。なぜなら、 p^+ エミッタ領域 200 は、オン時におけるホールのエミッタ電極 109 への脱出経路をなす。したがって、幅 Z を大きめにすれば、オン時におけるホール濃度が低く、オン抵抗が高めとなる。逆に、幅 Z を小さめにすれば、オン時におけるホール濃度が高く、オン抵抗が低めとなるのである。第 2 に、図 10 中左右方向のダウンサイジングをしやすいことが挙げられる。すなわち図 10 中、 p^+ エミッタ領域 200 と n^+ エミッタ領域 204 とが平行であるため、左右方向の構造がシンプルだからである。これにより、高集積化、低コスト化に寄与できる。

【0049】

[第 3 の形態]

第 3 の形態に係る電界効果型半導体装置の構造を、図 13～図 17 に示す。図

14は、図13中のC-C箇所の断面図である。図15は、図13中のB-B箇所の断面図である。図16は、図13中のE-E箇所の断面図である。図17は、図13中のF-F箇所の断面図である。図13は、図14～図17中のA-A箇所の断面図である。本形態の電界効果型半導体装置は、トレンチゲート型である点で前述の第1、第2の形態のものと共通する。そして、エミッタ部分およびコンタクト開口308の構造を除き、他の部分の構造は第1、第2の形態のものと同一である。

【0050】

そこで、本形態の電界効果型半導体装置のpエミッタ領域の構造を説明する。本形態では、図13に示すように、n⁺エミッタ領域304がゲート電極306と直交してストライプ状に形成されている。この点では第1、第2の形態のものと同様である。そして、各n⁺エミッタ領域304の図13中上下に隣接して、p⁺エミッタ領域300およびpチャネル領域303からなるpエミッタ領域が配置されている。各pエミッタ領域では、p⁺エミッタ領域300がpチャネル領域303に囲まれている。図14、図17に示すように、各n⁺エミッタ領域304の図13中上下のp⁺エミッタ領域300およびpチャネル領域303は、n⁺エミッタ領域304の下方で繋がっている。そして、図13中、pエミッタ領域とpエミッタ領域との間の領域には、nドリフト領域302が存在している。この領域では、図16に示すように、n⁺エミッタ領域304、p⁺エミッタ領域300、およびpチャネル領域303のいずれも設けられていないため、nドリフト領域302がA-A面にまで達しているのである。これにより、本形態の電界効果型半導体装置では、pエミッタ領域およびn⁺エミッタ領域304からなるエミッタ領域が、断続的に形成されているといえる。

【0051】

そして、本形態の電界効果型半導体装置では、コンタクト開口308が、n⁺エミッタ領域304およびpエミッタ領域のあるところにのみ島状に設けられている。この点で、コンタクト開口108、208がゲート電極106、206と平行に縦断的に設けられている第1、および第2の形態とは異なる。本形態における各コンタクト開口308の図13中におけるサイズは、p⁺エミッタ領域3

00より大きく、pチャネル領域303より小さい。このためエミッタ電極309は、n⁺エミッタ領域304、p⁺エミッタ領域300、およびpチャネル領域303のすべてに接している。また、本形態の電界効果型半導体装置では、各ゲート電極306を互いに導通させるゲート配線311が、図13中E-E箇所に設けられている(図16および図17)。これにより、各ゲート電極306に同等の電圧操作を加えることができる。なお、第1および第2の形態のものでも、図示した範囲外にゲート配線が存在する。

【0052】

本形態の電界効果型半導体装置の製法は、pチャネル領域303、p⁺エミッタ領域300、そしてコンタクト開口308の形成の際のマスクパターンが異なる以外は、第1の形態の電界効果型半導体装置の製法と同じである。

【0053】

本形態の電界効果型半導体装置でも、ゲート電極306への電圧印加により、エミッタ電極309とコレクタ電極310との間の電流を制御する。ここで、第1、第2の形態のものと同様に、上下方向の繰り返し単位Yの全体に比してチャネル幅が限定されている。このため、低いオン抵抗、短絡電流の抑制、ラッチアップ現象の防止等の効果が発揮される。さらに、エミッタ領域を断続的にしたことにより、pエミッタ領域とエミッタ電極309とのコンタクト面積が限定されている。このため、オン時におけるホールのエミッタ電極109への脱出経路がその分少なくなっている。このことは、オン時におけるホール濃度を上げ、オン抵抗をさらに下げる効果がある。また、このことにより、オン抵抗を上昇させない範囲内でチャネル幅Xを減少させることができる。これは、短絡電流のさらなる低減や、素子内の電流の均一化に貢献し、素子破壊を防止する効果がある。

【0054】

[第4の形態]

第4の形態に係る電界効果型半導体装置の構造を、図18～図21に示す。図19は、図18中のB-B箇所の断面図である。図20は、図18中のC-C箇所の断面図である。図21は、図18～図20中のG-G箇所の断面図である。図18は、図19～図21中のA-A箇所の断面図である。本形態の電界効果型

半導体装置は、トレンチゲート型である点で前述の第1～第3の形態のものと共通する。そして、コンタクト開口408の箇所におけるエミッタ部分の構造は、第1の形態のものと同一である。また、コレクタ部分の構造は、第1～第3の形態のものと同一である。

【0055】

本形態の電界効果型半導体装置では、ゲート電極406が島状である点で、ライン状のゲート電極を持つ第1～第3の形態のものと異なる。本形態の電界効果型半導体装置はおおむね、第1の形態の電界効果型半導体装置のライン状のゲート電極106を島状のゲート電極406で置き換え、空いた部分をすべてpチャネル領域403としたものである。なお、図19、図21に見るように、図18中のG-G箇所には、各ゲート電極406を接続するゲート配線411が層間絶縁膜407中に設けられている。

【0056】

本形態の電界効果型半導体装置では、pエミッタ領域の図18中上下方向の幅（すなわちチャネル幅）Wとn⁺エミッタ領域404の図18中上下方向の幅（すなわち隣接するチャネル間の間隔）Xとの比X/Wは、1/10以上1/2以下が望ましい。X/Wが1/10に満たない、すなわちn⁺エミッタ領域404があまりに少ないと、オン抵抗が高くなってしまうからである。また、X/Wが1/2以上あると、短絡電流が大きいの好ましくない。最適なX/Wは、1/5近辺である。また、n⁺エミッタ領域404の幅Xは、20μm以下であることが望ましい。これが大きすぎると、ラッチアップ現象が生じやすいからである。

【0057】

本形態の電界効果型半導体装置の製法は、ゲート電極406pの形成のためのトレンチ構造の形成の際のマスクパターンが異なる以外は、第1の形態の電界効果型半導体装置の製法と同じである。本形態の電界効果型半導体装置でも、ゲート電極406への電圧印加により、エミッタ電極409とコレクタ電極410との間の電流を制御する。

【0058】

各ゲート電極406は、図18中、ほぼ正方形の断面形状を有している。各ゲ

ート電極406の図18中の1辺の長さは、 n^+ エミッタ領域404の幅Xとほぼ同じである。各ゲート電極406の、ゲート絶縁膜405を挟んだ周囲は、 n^+ エミッタ領域404とpチャネル領域403とで占められている。

【0059】

本形態の電界効果型半導体装置でも、ゲート電極406への電圧印加により、エミッタ電極409とコレクタ電極410との間の電流を制御する。ここで本形態の電界効果型半導体装置には、第1の形態のものの場合の効果に加えて、ゲート電極406が島状であることにより、次のような特有の効果がある。すなわち、第1の形態のものと比較して、チャネル幅Xをそのままにして、ゲート面積（図1、図18等におけるゲート電極の面積）を小さくできるのである。そのため、ゲート容量が小さく、スイッチング速度が速いという利点がある。また、ゲート面積が小さいということは、製造上の良品率についても有利で低コスト化につながる。ゲート電極形成工程では、他の工程と比べて、異物の混入等による良品率の低下が起きやすい。このため、ゲート面積を縮小することで良品率低下を抑制できるからである。

【0060】

[第5の形態]

第5の形態に係る電界効果型半導体装置の構造を、図22～図25に示す。図23は、図22中のB-B箇所の断面図である。図24中のE-E箇所の断面図である。図25は、図22～図24中のG-G箇所の断面図である。図22は、図23～図25中のA-A箇所の断面図である。また、図22中のC-C箇所の断面は、第4の形態の図20中の各符号を「4**」から「5**」に変更したものと同一である。また、図22中のF-F箇所の断面は、第3の形態の図17中の各符号を「3**」から「5**」に変更したものと同一である。以下、本形態の説明において図17または図20に言及するときは、このように符号を読み替えるものとする。

【0061】

本形態の電界効果型半導体装置は、トレンチゲート型である点で前述の第1～4の形態のものと共通する。そして、コンタクト開口508の箇所におけるエミ

ッタ部分の構造は、第3の形態のものと同一である。また、コレクタ部分の構造は、第1～第4の形態の形態のものと同一である。本形態の電界効果型半導体装置は、第3の形態の電界効果型半導体装置に、第4の形態のもののような島状のゲート電極506を適用し、空いた部分をpチャネル領域503またはnドリフト領域502としたものである。

【0062】

したがって本形態の電界効果型半導体装置は、第1の形態のものの場合の効果に加えて、エミッタ領域を断続的にしたことによるオン抵抗の低減（第3の形態の効果）と、ゲート電極506が島状であることによるスイッチングの高速化等の効果（第4の形態の効果）とを併せ持つ。

【0063】

[その他の形態]

上記の第1～第5の形態は、本発明の電界効果型半導体装置における、エミッタ面側の構造（ゲート電極、p⁺エミッタ領域、エミッタ電極等）についての種々のバリエーションである。この他コレクタ面側についても、図26～図28に示すようなバリエーションがある。

【0064】

図26に示すのは、第1の形態の電界効果型半導体装置をパンチスルー型に変形したものである。図26は、第1の形態における図2に対応する断面図である。この電界効果型半導体装置は、p⁺コレクタ領域601とnドリフト領域602との間に、nバッファ領域612を有している。nバッファ領域612のドナー濃度は、nドリフト領域602のドナー濃度より高い。この電界効果型半導体装置の製造は、p⁺シリコンウェハを出発基板とし、その表面上にエピタキシャル成長により、高濃度のn型シリコン層と低濃度のn型シリコン層とを順次形成して行う。すなわち、ウェハのp⁺シリコンがp⁺コレクタ領域601となり、高濃度のn型シリコン層がnバッファ領域612となり、低濃度のn型シリコン層がnドリフト領域602となる。その後は第1の形態の場合と同じである。あるいは、低濃度のn型シリコンウェハ（nドリフト領域602）を出発基板とし、裏面側からのドナーやアクセプタの注入および拡散によりnバッファ領域612

や p^+ コレクタ領域 601 を形成してもよい。

【0065】

図 27 に示すのは、第 1 の形態の電界効果型半導体装置をコレクタショート型に変形したものである。図 27 は、第 1 の形態における図 2 に対応する断面図である。この電界効果型半導体装置では、 p^+ コレクタ領域 701 が全面ではなく部分的に形成されている。そして、 p^+ コレクタ領域 701 のない場所では n ドリフト領域 702 がコレクタ電極 710 に直に接している。この電界効果型半導体装置の製造は、 n 型シリコンウェハを出発基板とし、その裏面側からパターンマスクを介してアクセプタを注入し拡散させることにより行う。すなわち、ウェハの n 型シリコンが n ドリフト領域 702 となり、アクセプタの注入を受けた箇所が p^+ コレクタ領域 701 となる。その後は第 1 の形態の場合と同じである。

【0066】

図 28 に示すのは、コレクタショート型の別の例である。図 28 は、第 1 の形態における図 2 に対応する断面図である。この電界効果型半導体装置では、 p^+ コレクタ領域 801 が全面ではなく部分的に形成されている。そして、 p^+ コレクタ領域 801 と n ドリフト領域 802 との間に、 n バッファ領域 812 を有している。 n バッファ領域 812 のドナー濃度は、 n ドリフト領域 802 のドナー濃度より高い。そして、 p^+ コレクタ領域 801 のない場所では n バッファ領域 812 がコレクタ電極 810 に直に接している。すなわちこの電界効果型半導体装置は、図 26 のパンチスルー型の特徴と、図 27 のコレクタショート型の特徴とを併せ持つものである。この電界効果型半導体装置の製造は、 n 型シリコンウェハを出発基板とし、その裏面側からドナーを注入して拡散させ高濃度 n 型シリコン層を形成し、その後パターンマスクを介してアクセプタを注入し拡散させ p 型シリコン層を部分的に形成することにより行う。すなわち、ウェハの n 型シリコンが n ドリフト領域 802 となり、高濃度 n 型シリコン層が n バッファ領域 812 となり、 p 型シリコン層が p^+ コレクタ領域 801 となる。その後は第 1 の形態の場合と同じである。

【0067】

むろん、第 2 ～第 5 の形態の電界効果型半導体装置についても、図 26 ～図 2

8に示したバリエーションを適用することができる。

【0068】

以上詳細に説明したように本実施の形態に係る電界効果型半導体装置では、pチャネル領域(103等)を貫通するゲート電極(106等)を有する構造において、エミッタ領域をpエミッタ領域とn⁺エミッタ領域(104等)とで構成し、そのうちのpエミッタ領域をp⁺エミッタ領域(100等)とpチャネル領域(103等)とで構成している。そして、ゲート電極(106等)に対しpチャネル領域(103等)が対面するチャネル幅Wを、隣接するチャネル間の間隔Xに対し1/10以上1/2以下の範囲内とした。このため、通常動作時のオン抵抗が十分低く、それでいて、短絡電流はさほど大きくない。よって、短絡時でも素子破壊にまでは至らない。

【0069】

また、n⁺エミッタ領域(104等)とp⁺エミッタ領域(100等)とpチャネル領域(103等)とのすべてがエミッタ電極(109等)に接続されるように、コンタクト開口(108等)を形成している。このため、p⁺エミッタ領域(100等)とエミッタ電極(109等)との接触面積が限定されており、オン時におけるホールのエミッタ電極(109等)への脱出量も限定される。また、チャネル形成により電子伝導経路が確保され、素子内に電子の疎密が生じない。これらのこともオン抵抗の低減やラッチアップ現象の防止に寄与している。

【0070】

また、第2の形態のように、ゲート電極206をライン状とするとともに、n⁺エミッタ領域204とp⁺エミッタ領域200とをともにゲート電極206に対して直交して配置することで、オン抵抗と短絡電流とを個別に設定することもできる。第2の形態にはまた、図中横方向のダウンサイジングが容易であるという利点もある。また、第3の形態のようにエミッタ領域を断続的にして空いた部分をnドリフト領域とすることにより、pエミッタ領域とエミッタ電極309とのコンタクト面積をさらに限定し、オン抵抗のさらなる低減を図ることもできる。また、第4、第5の形態のようにゲート電極406、506を島状とすることにより、チャネル幅Xを維持したままゲート面積を縮小できる。これにより、高速

動作化と製造上の歩留まりの向上とを図ることができる。

【0071】

なお、本実施の形態は単なる例示にすぎず、本発明を何ら限定するものではない。したがって本発明は当然に、その要旨を逸脱しない範囲内で種々の改良、変形が可能である。

【0072】

例えば、nドリフト領域（102等）中のドナー濃度は均一でなくてもよい。図26、図28に示したnバッファ領域612、812がその例である。これは、nドリフト領域602、802中の、p⁺コレクタ領域601、801寄りの部分を高濃度化したものである。また、IGBTに限らず、MOSコントロールサイリスタ等、他の種類の電界効果型半導体装置にも適用できる。半導体自体も、シリコンに限らず他の種類の半導体（SiC、III-V族化合物等）でもよい。また、絶縁膜は、酸化膜に限らず窒化膜あるいは複合膜でもよい。ゲート電極（106等）の材質は、p型半導体や金属でもよい。ゲート電極の構造は、トレンチ構造に限らず、プレーナ型、コンケーブ型、としてもよい。また、p型とn型とを入れ替えたものであってもよいし、相補型でもよい。また、第4、第5形態のものにおいては、ゲート電極（406、506）の平面形状を、四角形でなく円、楕円、その他多角形としてもよい。

【0073】

【発明の効果】

以上の説明から明らかなように本発明によれば、チャネル幅を有効に利用することにより、低いオン抵抗と過大でない短絡電流とを両立し、素子破壊も防止した電界効果型半導体装置が提供されている。

【図面の簡単な説明】

【図1】

第1の形態に係る電界効果型半導体装置の構造を示す平面断面図（A-A箇所）である。

【図2】

第1の形態に係る電界効果型半導体装置の構造を示す立面断面図（B-B箇所）である。

）である。

【図 3】

第 1 の形態に係る電界効果型半導体装置の短絡電流を、従来のものの場合と比較して示すグラフである。

【図 4】

第 1 の形態に係る電界効果型半導体装置におけるコレクターエミッタ間電圧とコレクターエミッタ間電流との関係を、従来のものの場合と比較して示すグラフである。

【図 5】

第 1 の形態に係る電界効果型半導体装置における、図 1 中の X/W とオン抵抗との関係を示すグラフである。

【図 6】

第 1 の形態に係る電界効果型半導体装置の製造過程を示す立面断面図（その 1）である。

【図 7】

第 1 の形態に係る電界効果型半導体装置の製造過程を示す立面断面図（その 2）である。

【図 8】

第 1 の形態に係る電界効果型半導体装置の製造過程を示す立面断面図（その 3，B-B 箇所）である。

【図 9】

第 1 の形態に係る電界効果型半導体装置の製造過程を示す立面断面図（その 3，C-C 箇所）である。

【図 10】

第 2 の形態に係る電界効果型半導体装置の構造を示す平面断面図（A-A 箇所）である。

【図 11】

第 2 の形態に係る電界効果型半導体装置の構造を示す立面断面図（B-B 箇所）である。

【図 1 2】

第 2 の形態に係る電界効果型半導体装置の構造を示す立面断面図（D－D 箇所）である。

【図 1 3】

第 3 の形態に係る電界効果型半導体装置の構造を示す平面断面図（A－A 箇所）である。

【図 1 4】

第 3 の形態に係る電界効果型半導体装置の構造を示す立面断面図（C－C 箇所）である。

【図 1 5】

第 3 の形態に係る電界効果型半導体装置の構造を示す立面断面図（B－B 箇所）である。

【図 1 6】

第 3 の形態に係る電界効果型半導体装置の構造を示す立面断面図（E－E 箇所）である。

【図 1 7】

第 3 の形態に係る電界効果型半導体装置の構造を示す立面断面図（F－F 箇所）である。

【図 1 8】

第 4 の形態に係る電界効果型半導体装置の構造を示す平面断面図（A－A 箇所）である。

【図 1 9】

第 4 の形態に係る電界効果型半導体装置の構造を示す立面断面図（B－B 箇所）である。

【図 2 0】

第 4 の形態に係る電界効果型半導体装置の構造を示す立面断面図（C－C 箇所）である。

【図 2 1】

第 4 の形態に係る電界効果型半導体装置の構造を示す立面断面図（G－G 箇所）

）である。

【図 2 2】

第 5 の形態に係る電界効果型半導体装置の構造を示す平面断面図（A－A 箇所）である。

【図 2 3】

第 5 の形態に係る電界効果型半導体装置の構造を示す立面断面図（B－B 箇所）である。

【図 2 4】

第 5 の形態に係る電界効果型半導体装置の構造を示す立面断面図（E－E 箇所）である。

【図 2 5】

第 5 の形態に係る電界効果型半導体装置の構造を示す立面断面図（G－G 箇所）である。

【図 2 6】

変形形態（その 1）に係る電界効果型半導体装置の構造を示す立面断面図（B－B 箇所）である。

【図 2 7】

変形形態（その 2）に係る電界効果型半導体装置の構造を示す立面断面図（B－B 箇所）である。

【図 2 8】

変形形態（その 3）に係る電界効果型半導体装置の構造を示す立面断面図（B－B 箇所）である。

【図 2 9】

従来の電界効果型半導体装置の構造を示す平面断面図（A－A 箇所）である。

【図 3 0】

従来の電界効果型半導体装置の構造を示す立面断面図（B－B 箇所）である。

【図 3 1】

従来の電界効果型半導体装置の構造を示す立面断面図（C－C 箇所）である。

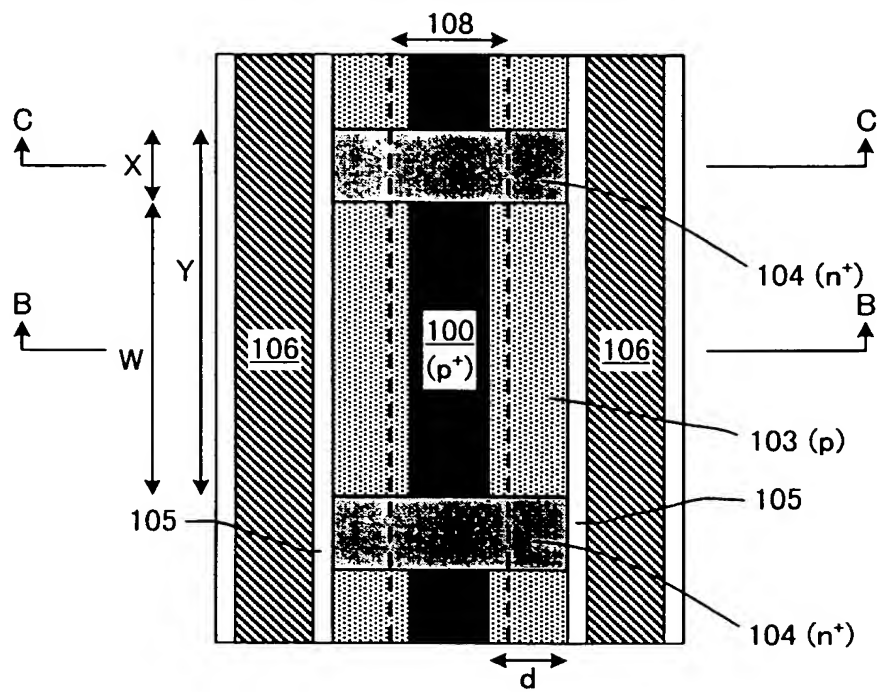
【符号の説明】

1 0 0 ～ 9 0 0 p⁺エミッタ領域
1 0 3 ～ 9 0 3 p チャネル領域
1 0 4 ～ 9 0 4 n⁺エミッタ領域
1 0 6 ～ 9 0 6 ゲート電極
1 0 9 ～ 9 0 9 エミッタ電極

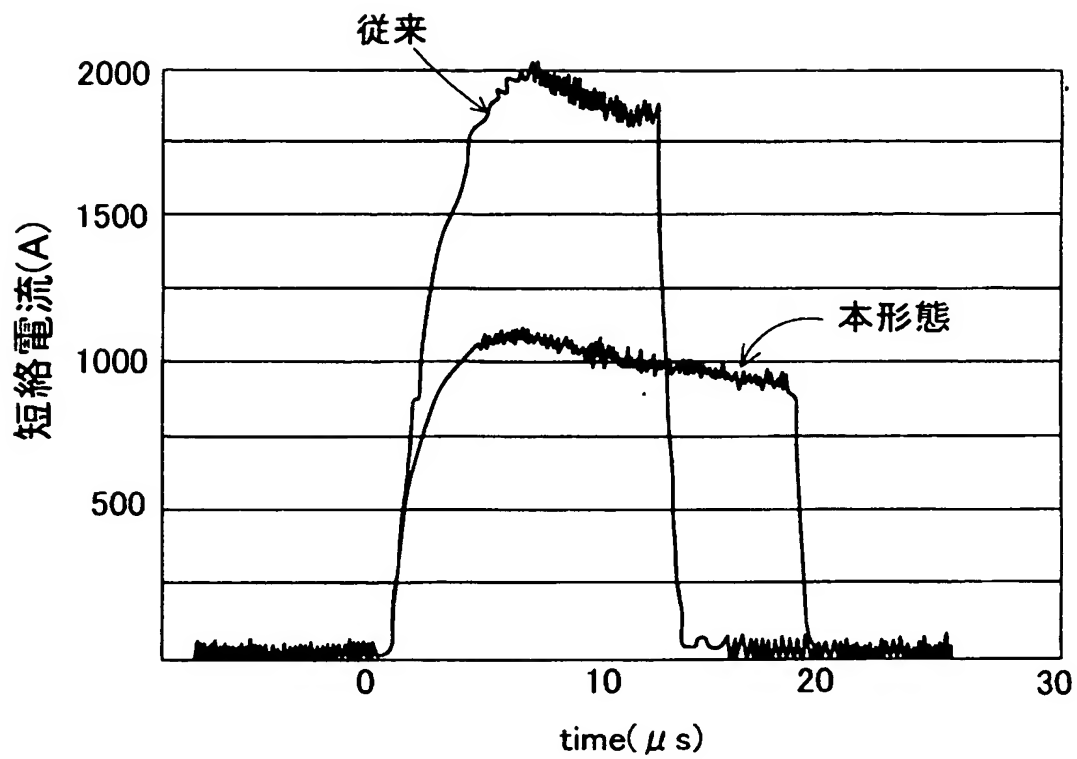
【書類名】

図面

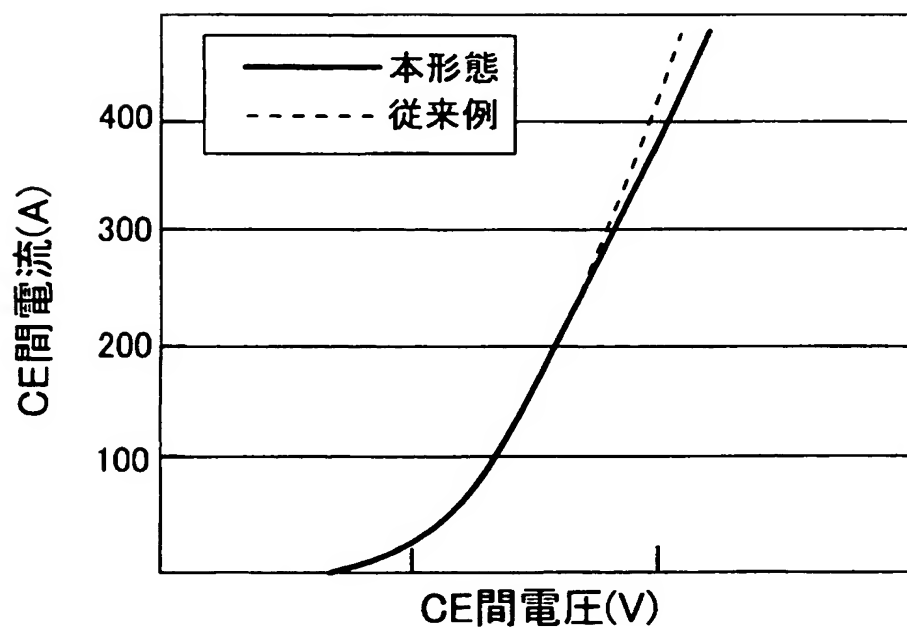
【図 1】



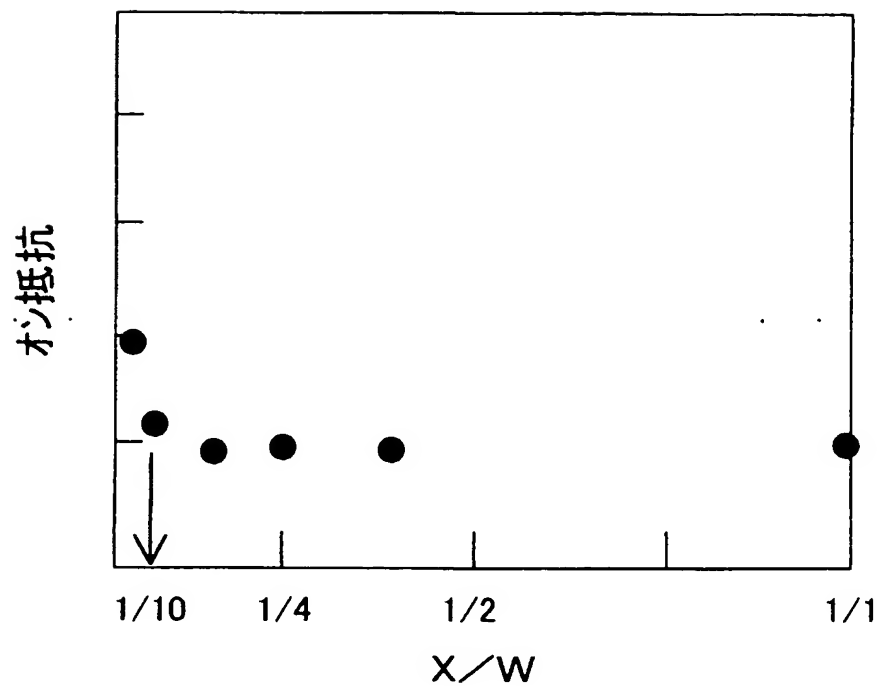
【図 3】



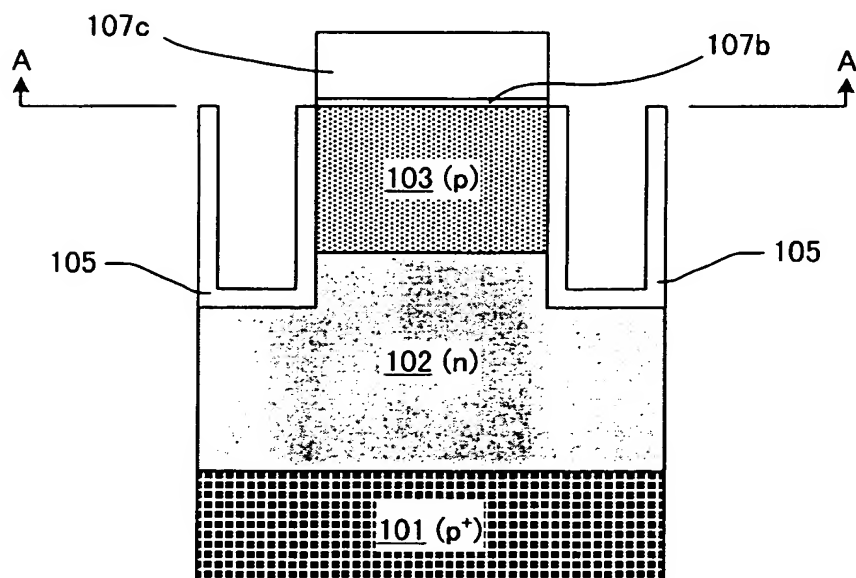
【図 4】



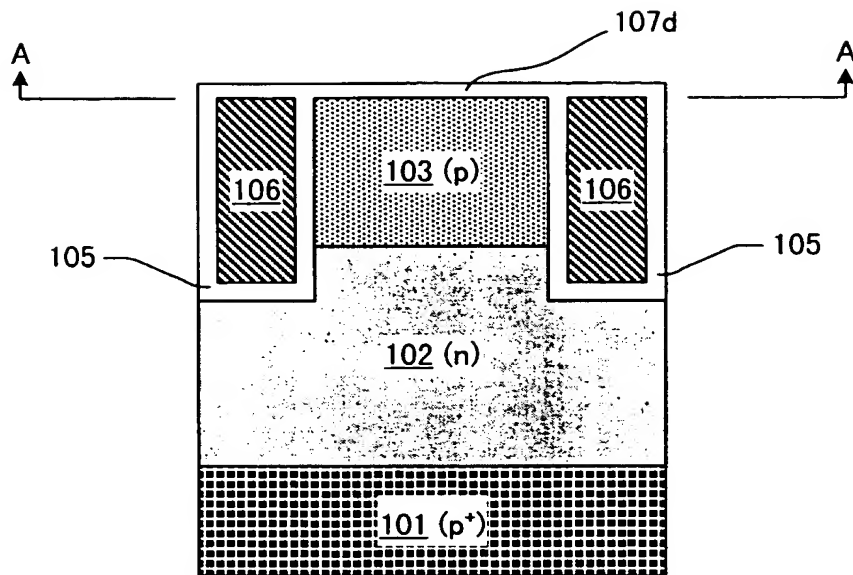
【図 5】



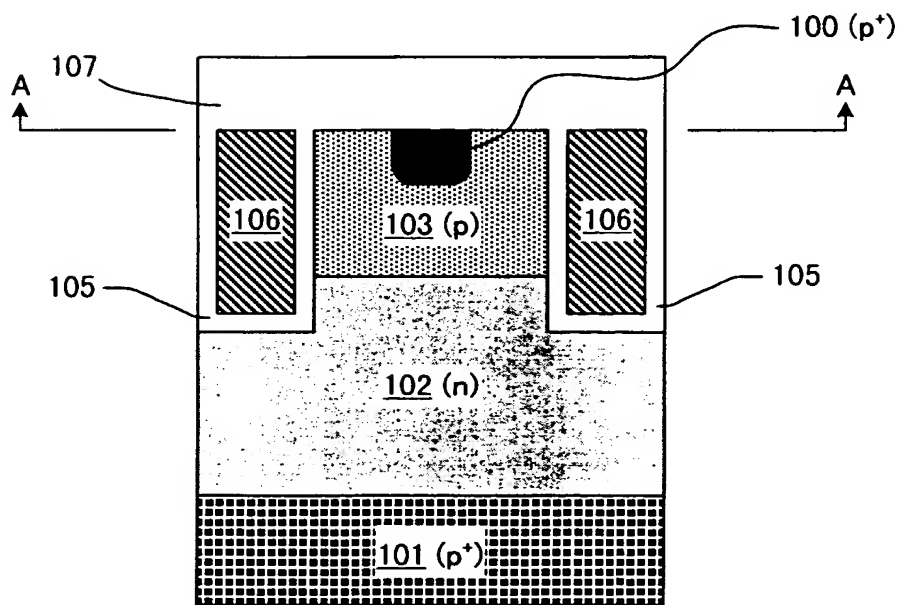
【図 6】



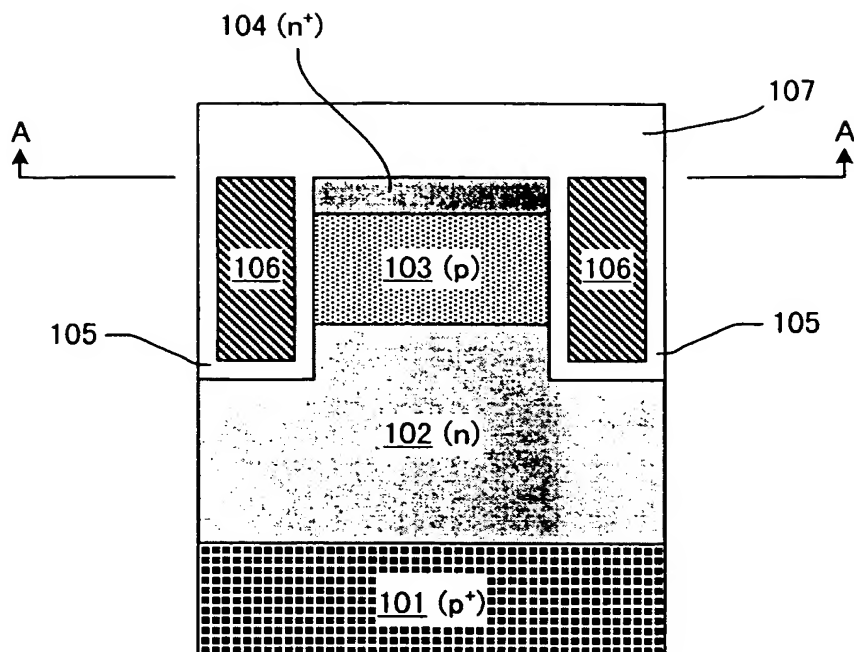
【図 7】



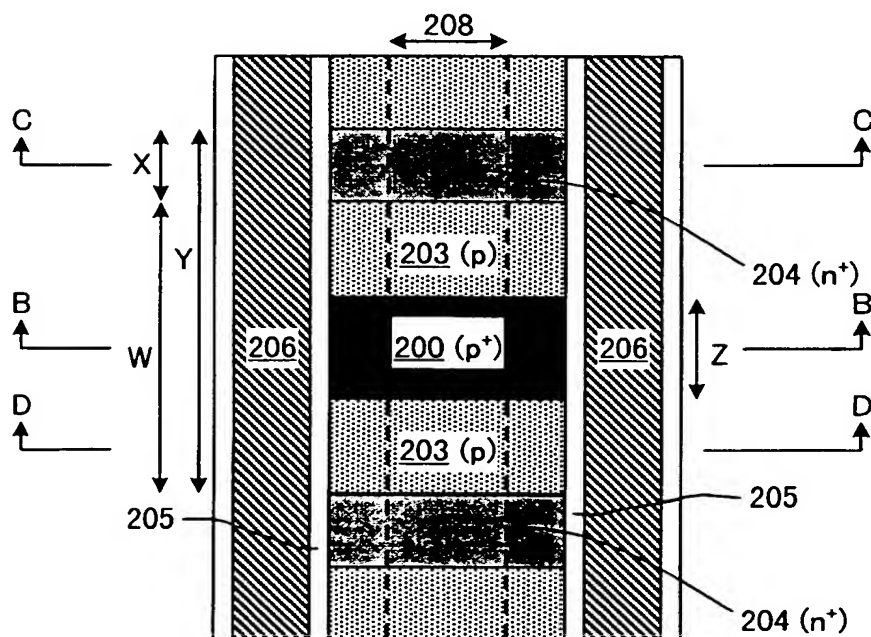
【図 8】



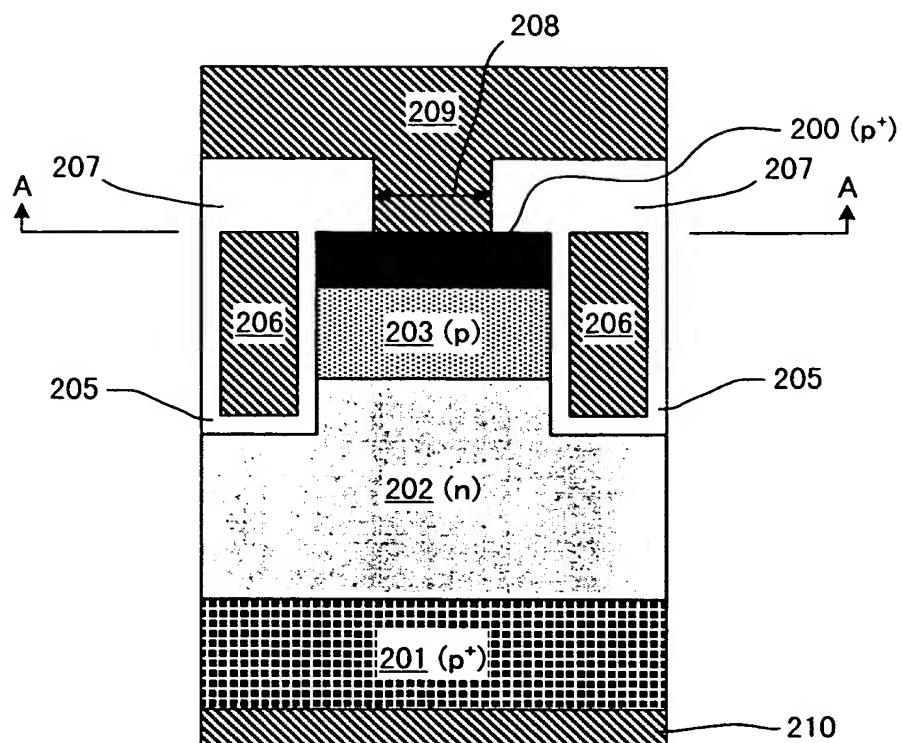
【図 9】



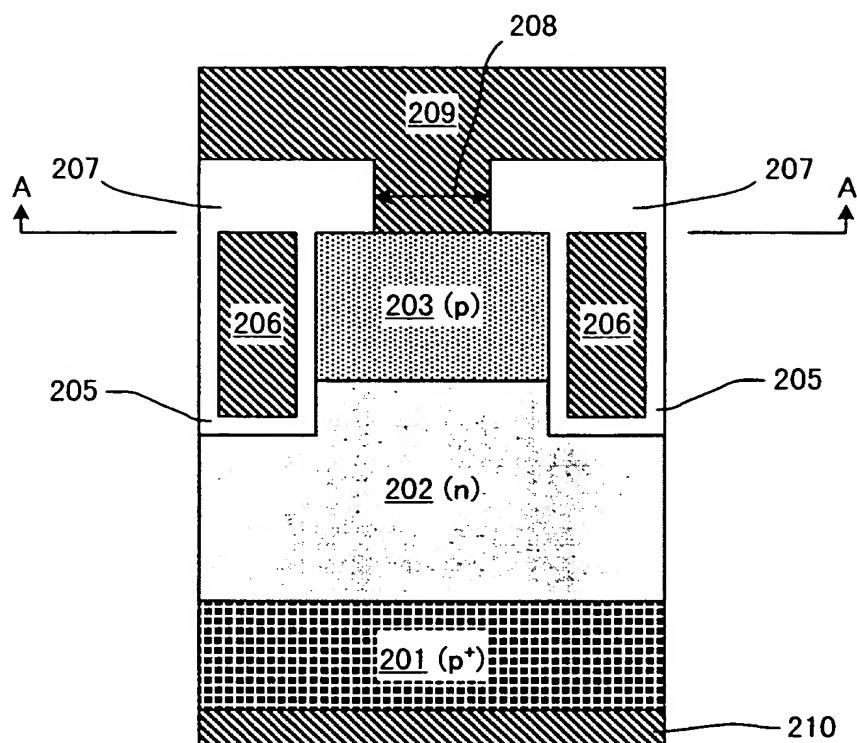
【図 10】



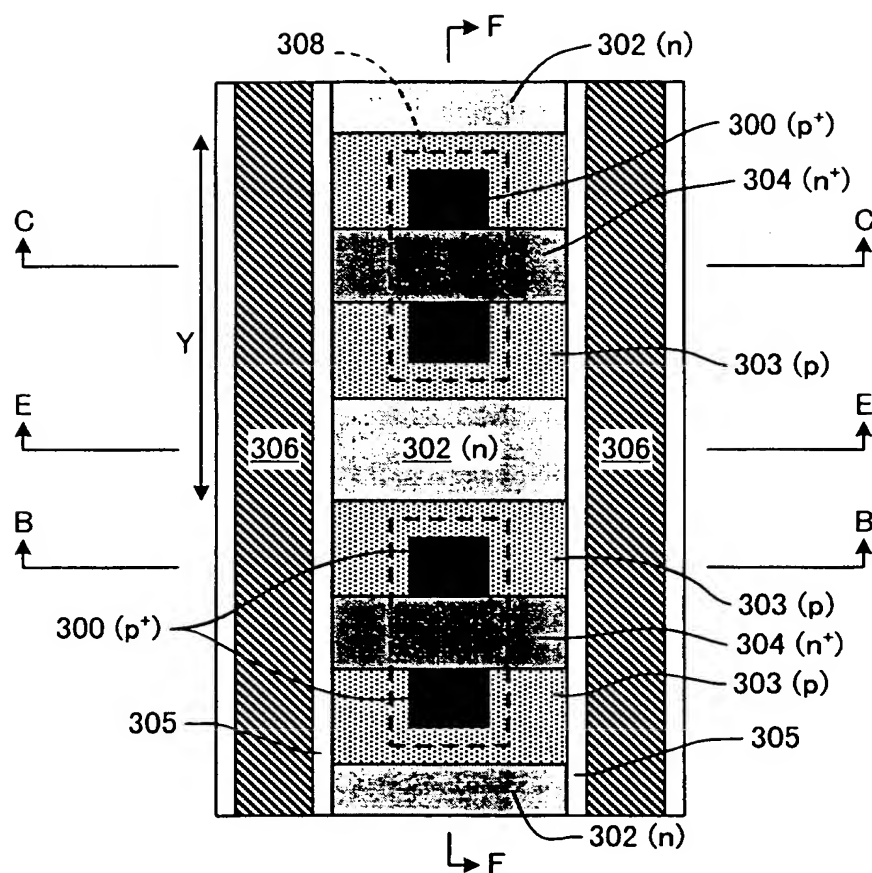
【図 11】



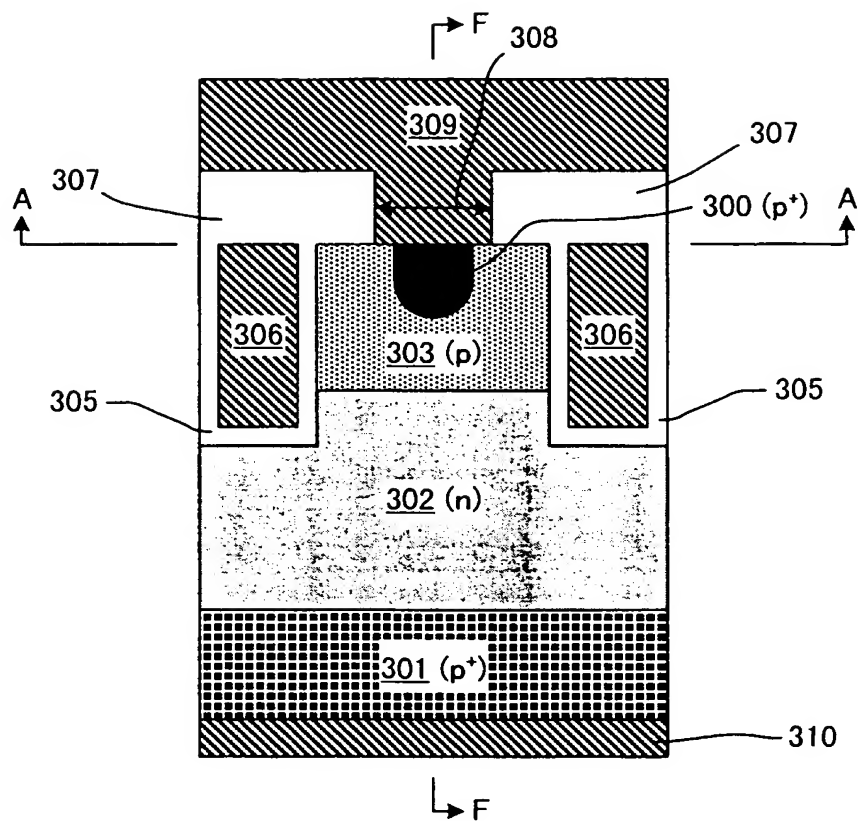
【図 12】



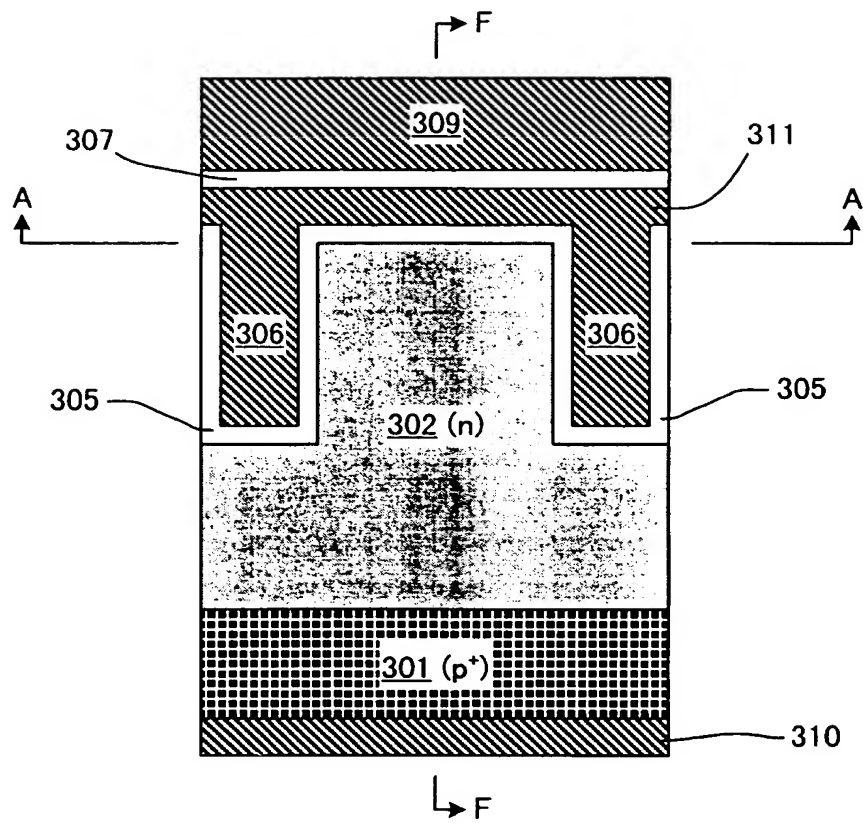
【図 13】



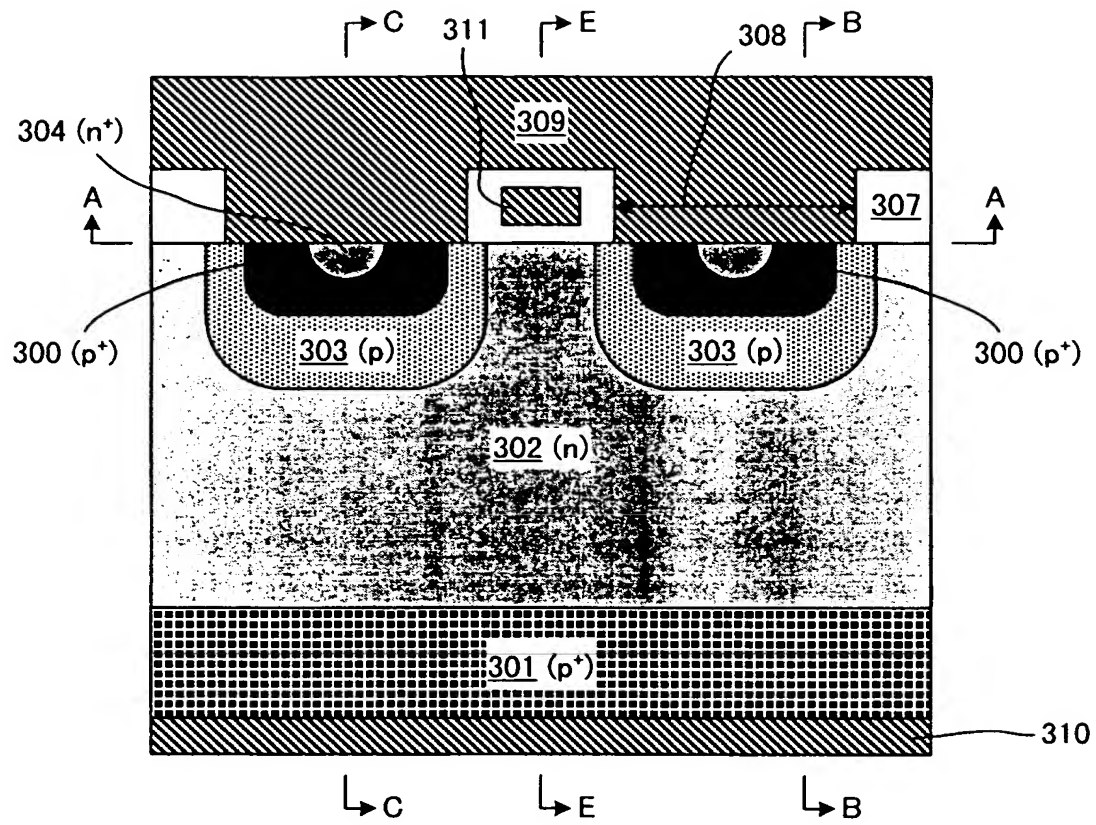
【図 15】



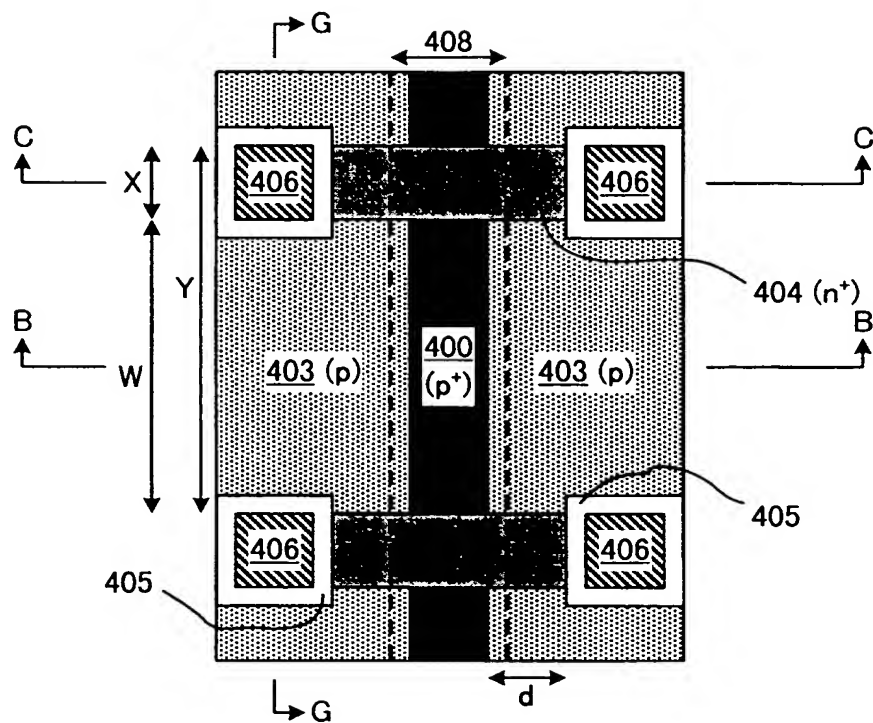
【図 16】



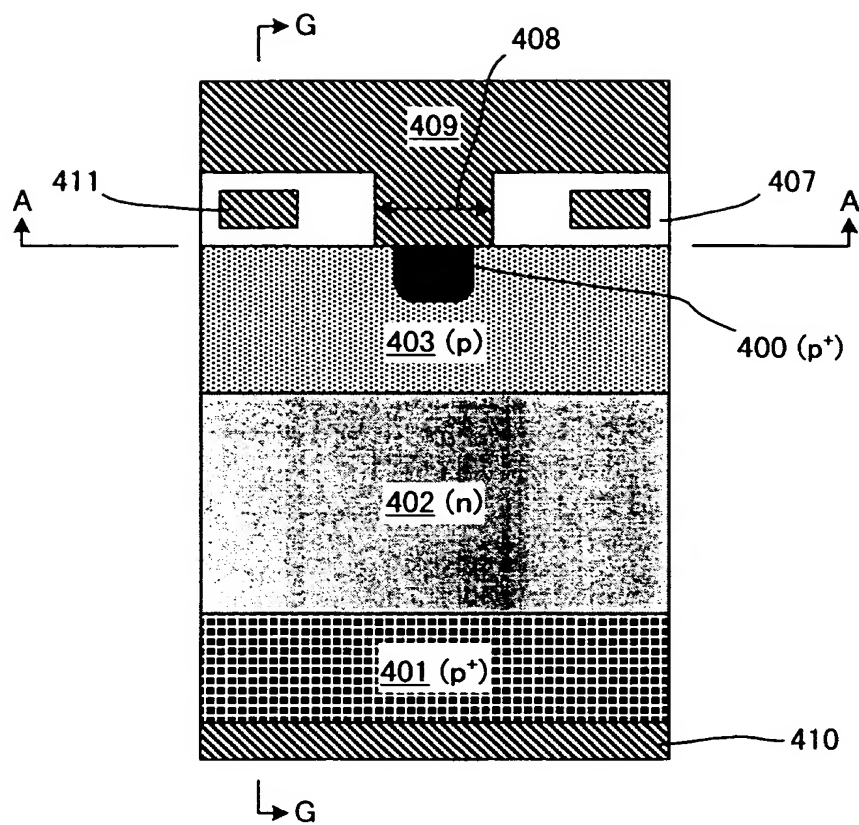
【図 17】



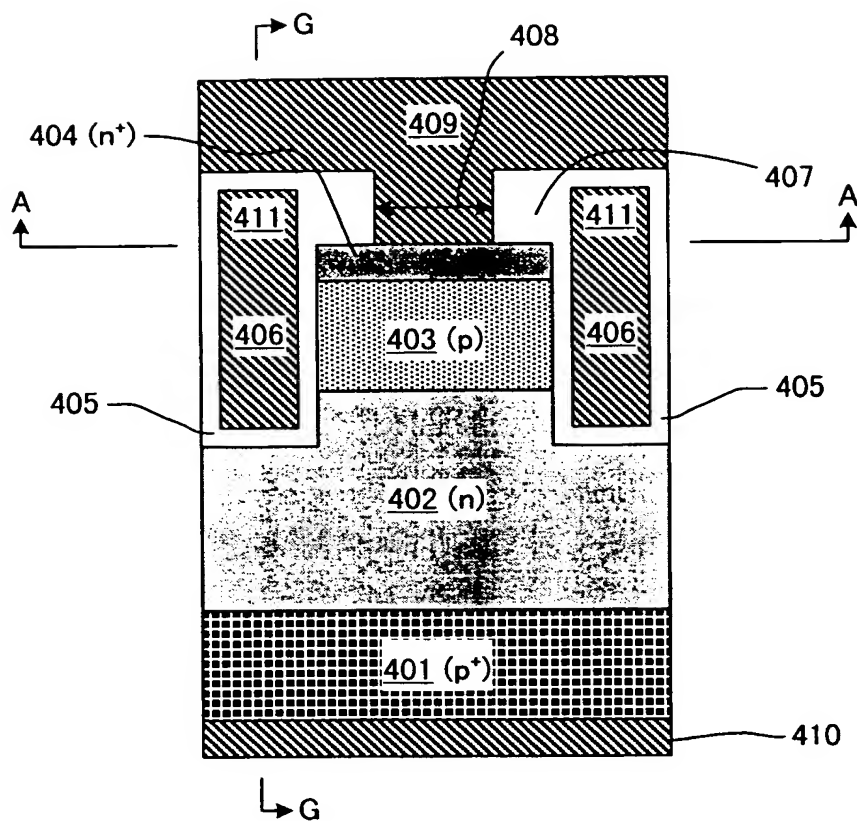
【図 18】



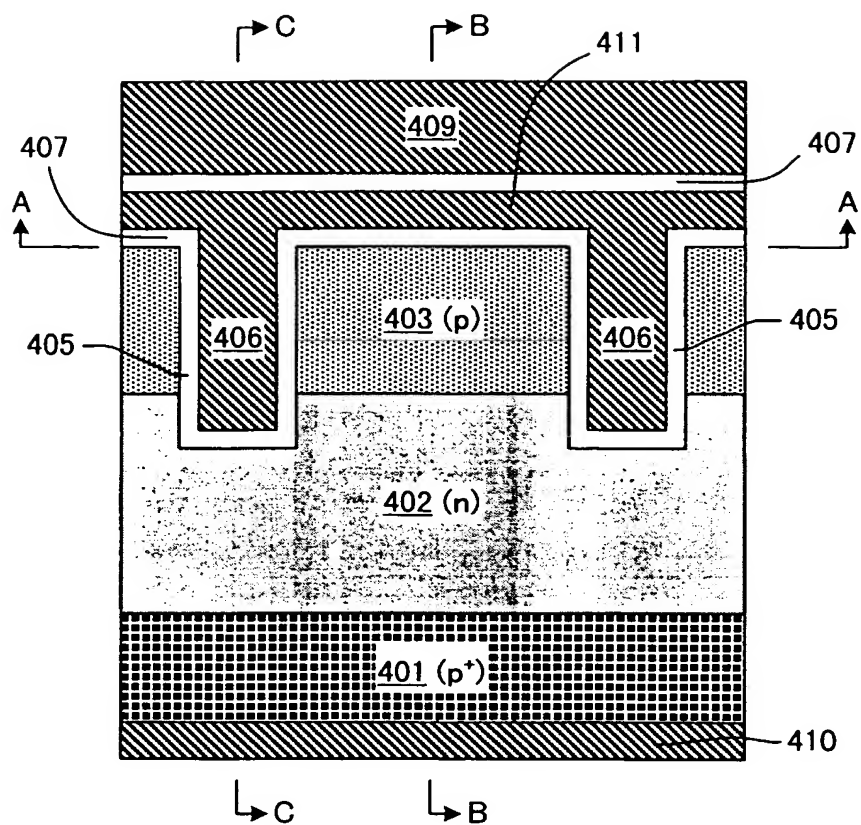
【図 19】



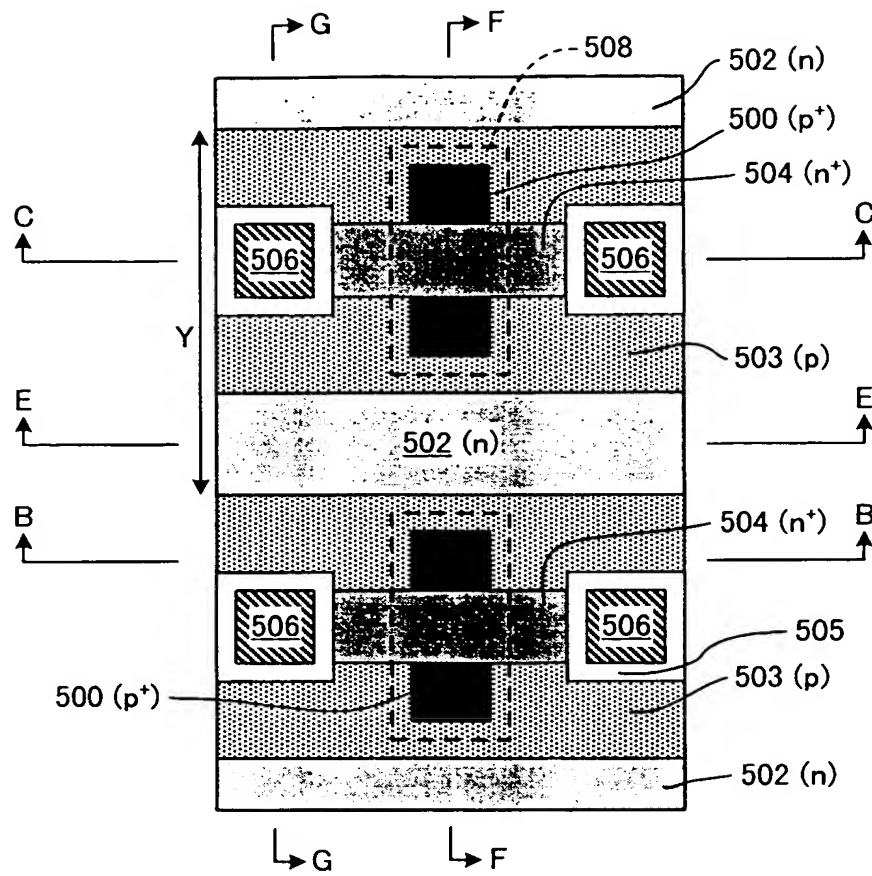
【図 20】



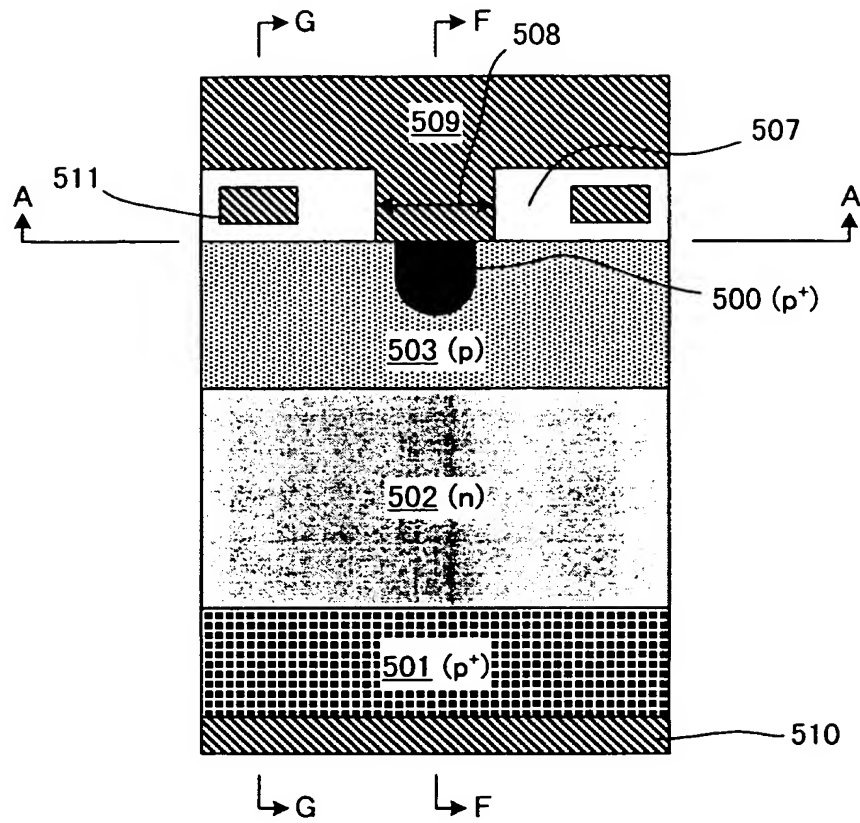
【図 21】



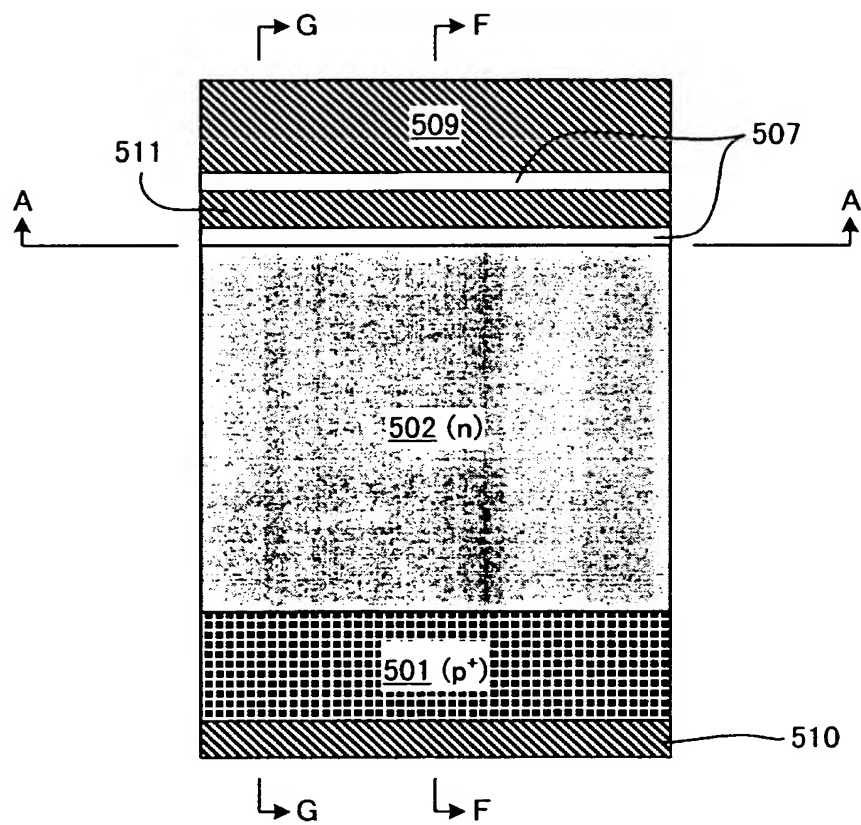
【図 22】



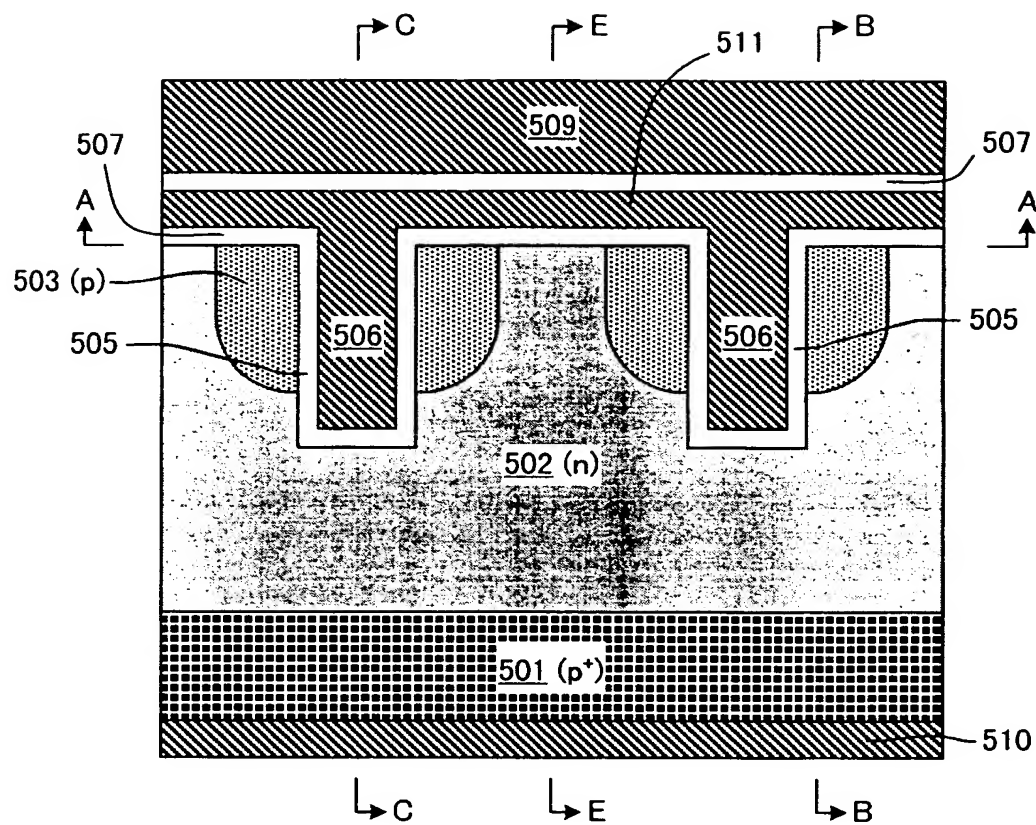
【図 23】



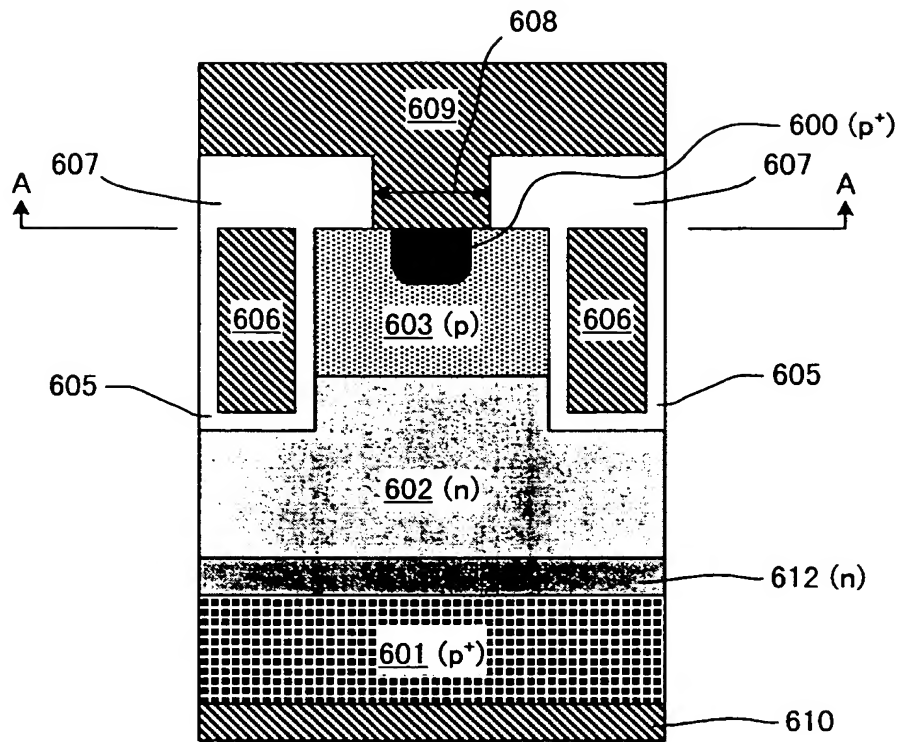
【図 24】



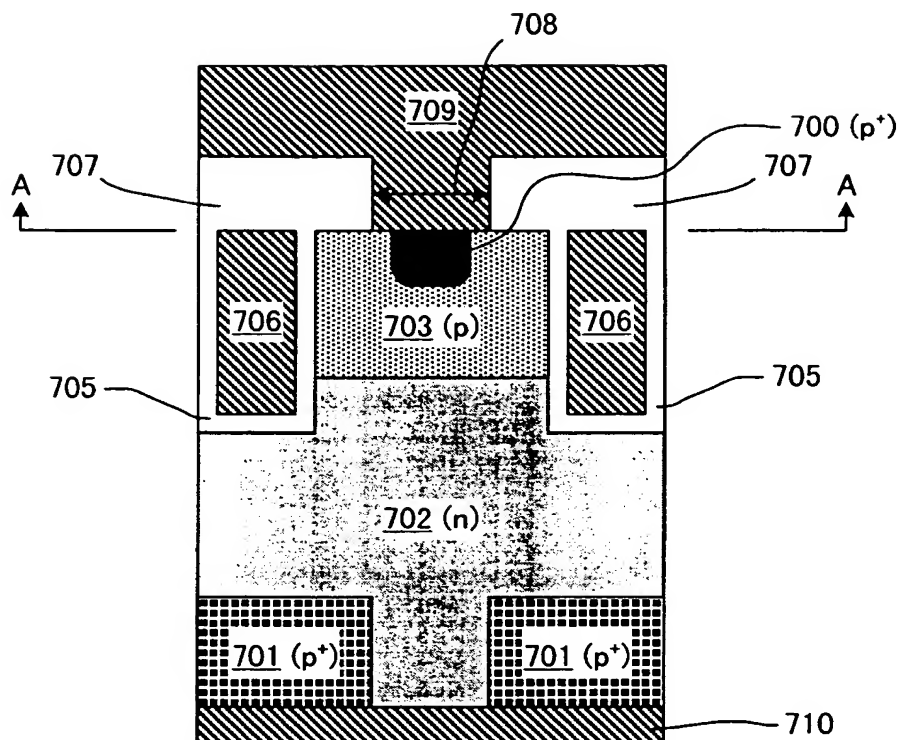
【図 25】



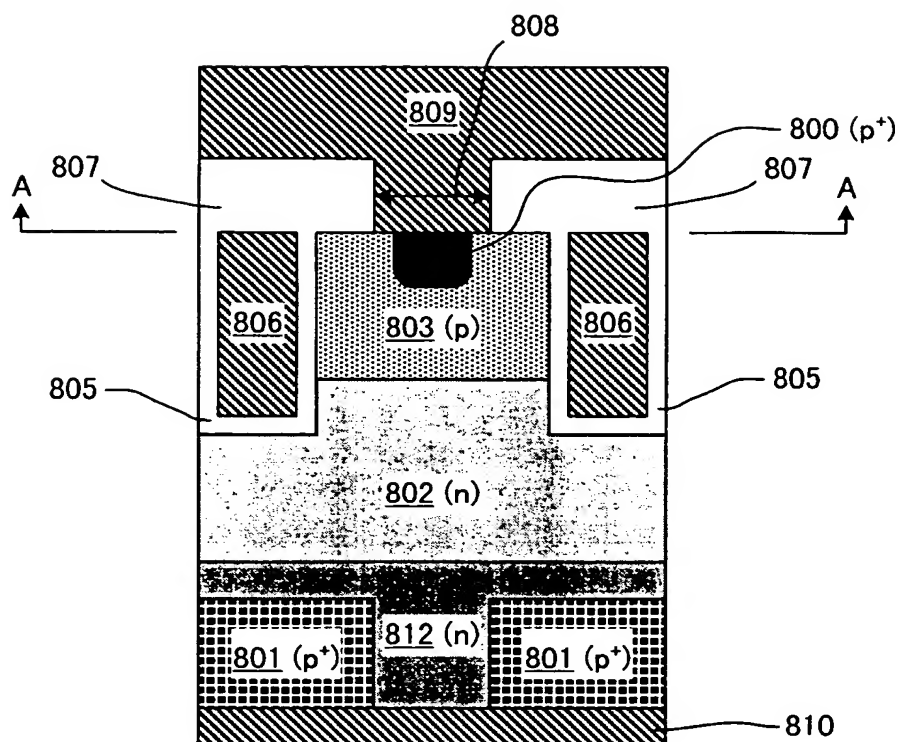
【図 26】



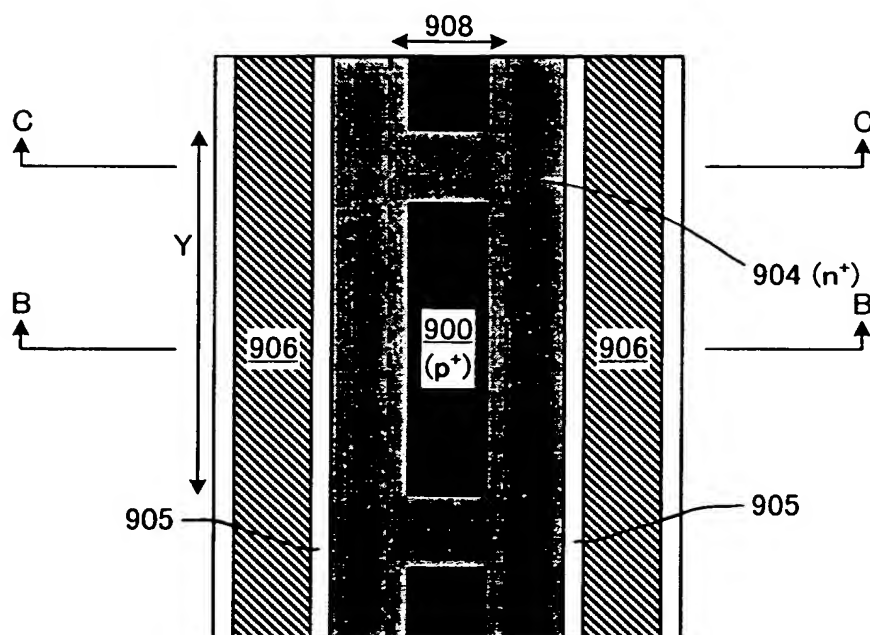
【図 27】



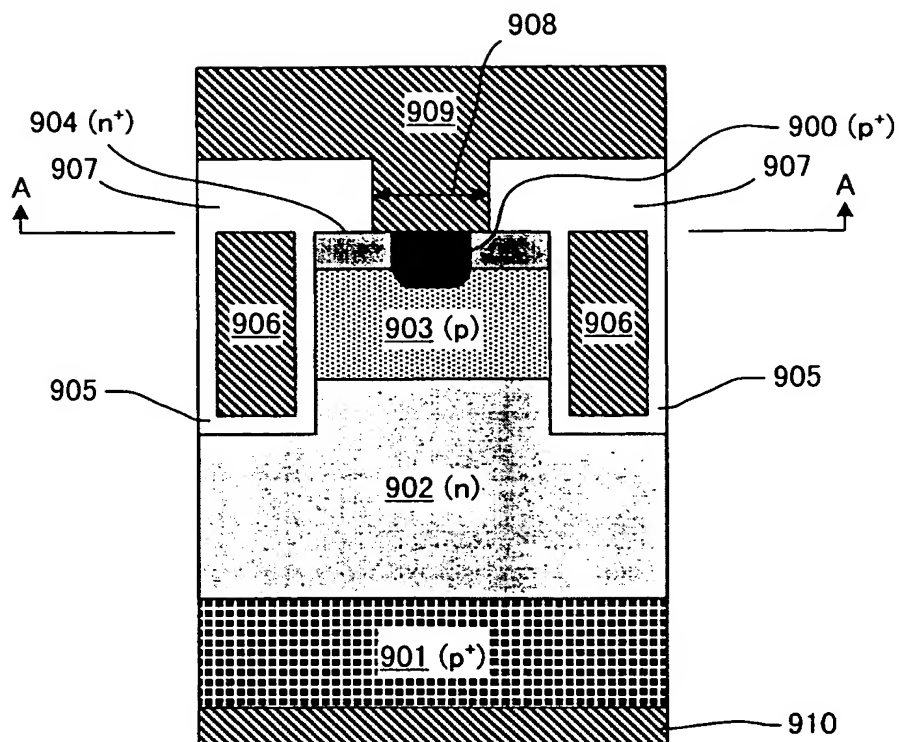
【図 28】



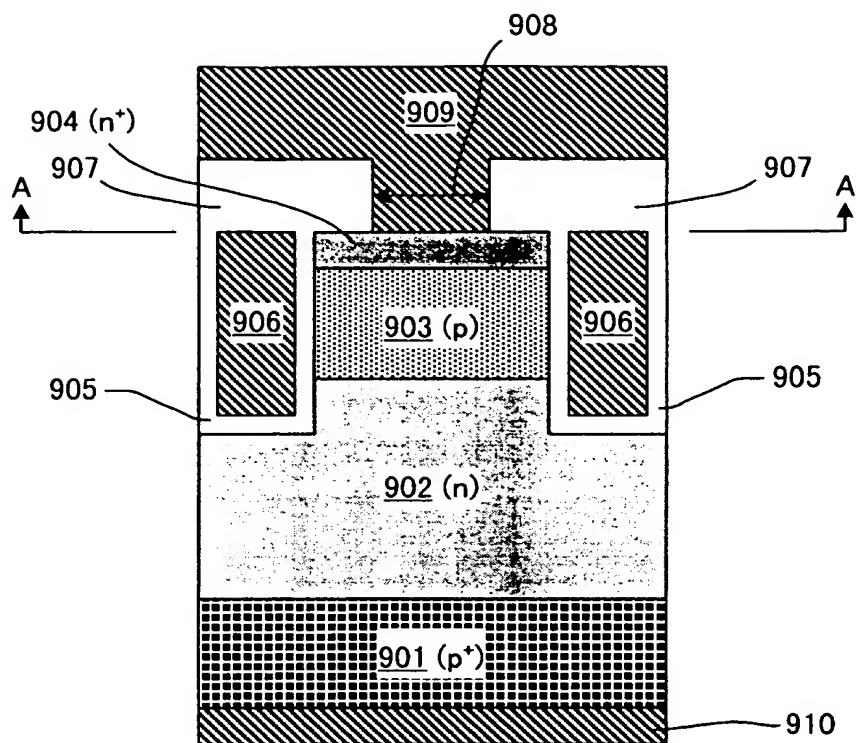
【図 29】



【図 30】



【図 31】



【書類名】 要約書

【要約】

【課題】 チャネル幅を有効に利用することにより、低いオン抵抗と過大でない短絡電流とを両立するとともに、素子破壊が起こりにくい電界効果型半導体装置を提供すること。

【解決手段】 電解効果型半導体装置における、ゲート電極 106 に挟まれた半導体領域を、 n^+ エミッタ領域 104 と p エミッタ領域とによるストライプ状の構造とした。そして p エミッタ領域を、低濃度の p チャネル領域 103 と高濃度の p^+ エミッタ領域 100 とで構成した。そして、 n^+ エミッタ領域 104 と p チャネル領域 103 と p^+ エミッタ領域 100 とのいずれもがエミッタ電極 109 に接するようにした。これにより、チャネル幅 X を、通常動作時のオン電流を流すのに十分な程度とした。かくして、低いオン抵抗と過大でない短絡電流とを両立した。

【選択図】 図 1

特願 2 0 0 2 - 3 2 0 2 2 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 2 0 7]

1. 変更年月日

1 9 9 0 年 8 月 2 7 日

[変更理由]

新規登録

住 所

愛知県豊田市トヨタ町 1 番地

氏 名

トヨタ自動車株式会社